

Diseño de una Punta Lógica Digital Versátil para Diagnóstico de Circuitos Digitales

*Cohen, Ezequiel A.^a; Dilkin, Ismael D.^a; Maxit, Alejandro G.^a; Korpys, Ricardo A.^a

^aFacultad de Ingeniería, Universidad Nacional de Misiones (UNaM), Oberá, Misiones, Argentina.

ezecohen8@gmail.com, ismaeldilkin@gmail.com, alejandro.maxit@fio.unam.edu.ar, korpys@fio.unam.edu.ar

Resumen

Este trabajo trata del diseño y construcción de una punta lógica digital versátil destinada a la detección de estados lógicos en circuitos digitales desde 2 V a 15 V abarcando tanto topología TTL como CMOS. La motivación del proyecto es proveer una herramienta que facilite controlar el estado de circuitos digitales variados en la FIO, detectando de forma visual y auditiva los estados en alto y bajo de estos y si existe un pulso memorizarlo para su fácil visualización.

Palabras Clave – Punta lógica, TTL, CMOS, visual, auditiva.

1 Introducción

Una punta lógica es un dispositivo con la capacidad de detectar los estados lógicos en el análisis de placas electrónicas, detectando si los niveles lógicos tienen la tensión en el rango adecuado para verificar su correcto funcionamiento. Esta consta de una punta metálica la cual hará encender dos indicadores para saber si la tensión es un estado en alto o bajo (según la lectura, hará que se encienda dos leds). A su vez, sonará un buzzer indicando con dos frecuencias diferentes el estado de la lectura. Por último, incluye un led amarillo que se enciende durante un tiempo, el cual indica cuando hay una señal pulsante o un cambio de estado.

Desarrollo:

Para el desarrollo del proyecto primero se realizaron las investigaciones teóricas correspondientes para el correcto desarrollo, para el cual se desarrolla primero un diagrama de bloques para entender mejor su funcionamiento.

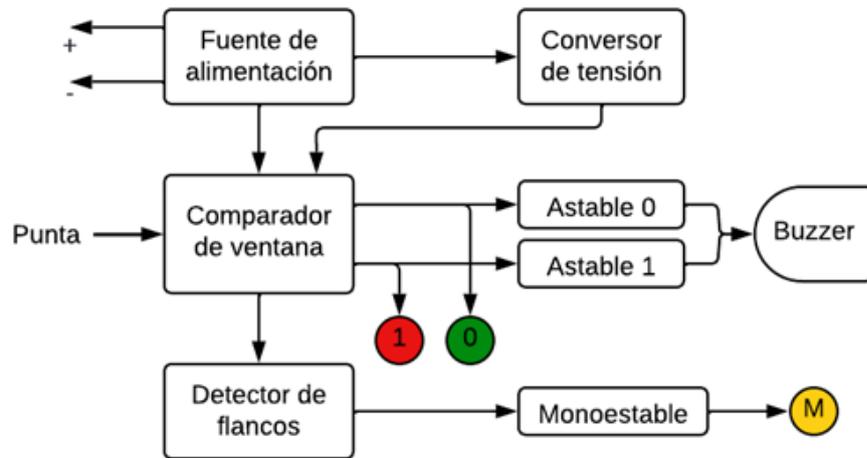


Fig. 1: Diagrama de bloques de la Punta Lógica.

En la Fig. 1 se puede observar el diagrama de bloque correspondiente al funcionamiento por partes del circuito de la punta lógica, en donde se observa que contiene una fuente de alimentación la cual se encarga de la alimentación de la mayor parte del circuito. Seguidamente pasa a un comparador de ventana, el cual se encarga de medir el estado digital medido en la punta y según esta se visualizará el led correspondiente y se escuchará el buzzer a una frecuencia según el estado medido. Por otro lado, si en la punta existe un pulso se memorizará durante un tiempo en el led amarillo.

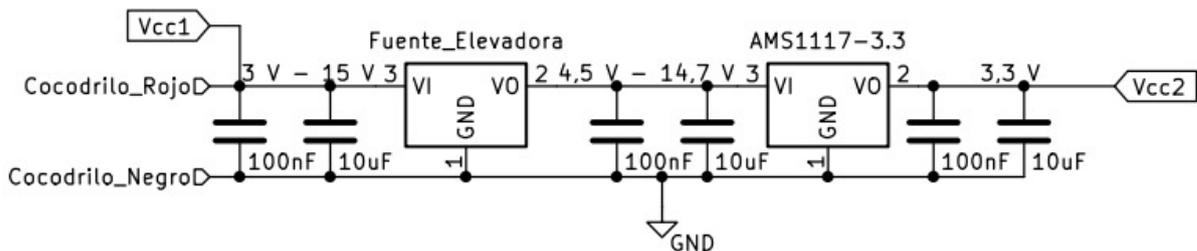


Fig. 2: Circuito de la Fuente.

En la Fig. 2 se ve de forma detallada la fuente de alimentación en donde se transforma la tensión de alimentación a una tensión constante fijada para alimentar la mayor parte del circuito y que no existan diferencias de visualización ni audición según la tensión de alimentación.

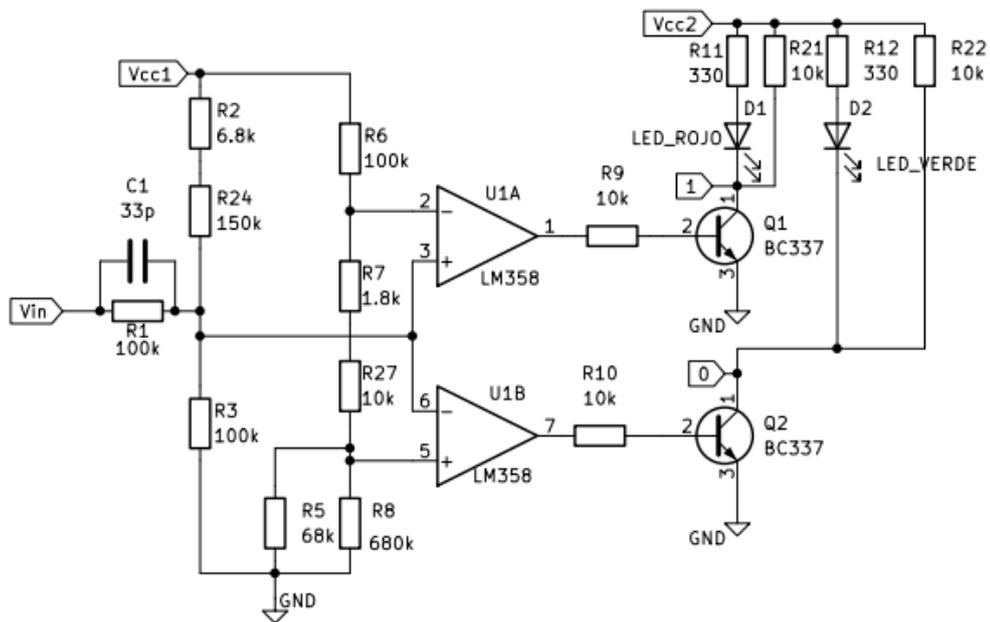


Fig. 3: Circuito del comparador de ventana.

En la Fig. 3 se observa de forma detallada el comparador de ventana desarrollado, el cual consta que si la tensión de entrada es mayor a un umbral calculado se enciende el led rojo y cuando es menor a otro umbral fijado se enciende el led verde.

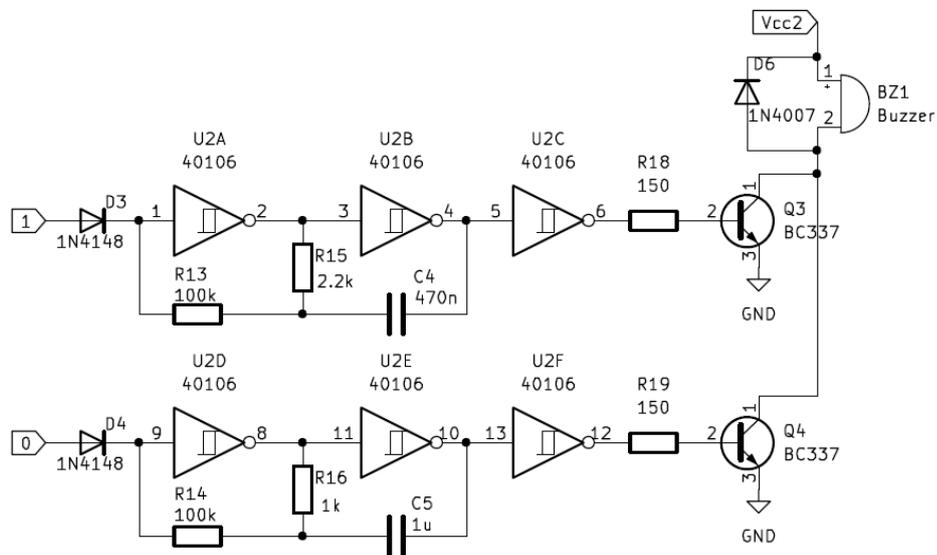


Fig. 4: Circuito de los astables del buzzer.

En la Fig. 4 se puede observar el circuito de los osciladores (astables) del buzzer que se encargan de hacer oscilar este a una frecuencia determinada según el estado lógico medido. En estado alto suena en alta frecuencia y en estado bajo suena en baja frecuencia.

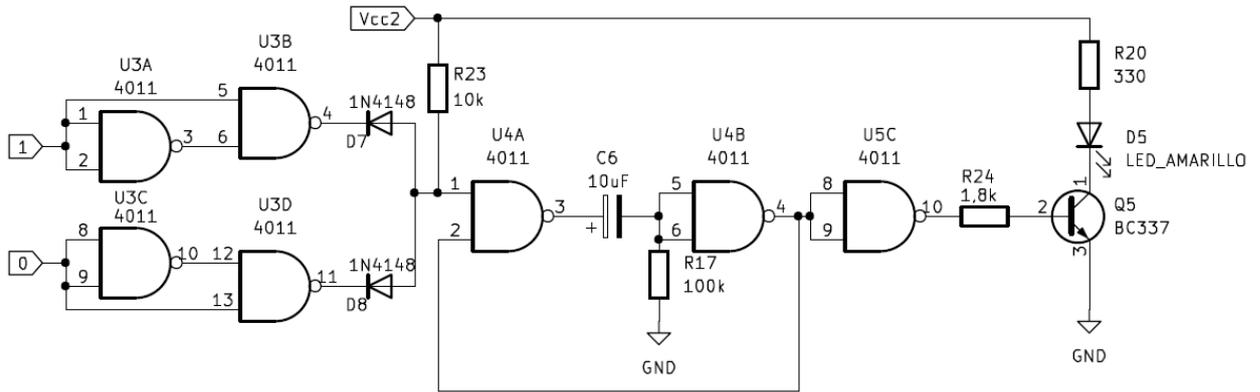


Fig. 5: Circuito del monostable del memorizado.

En la Fig. 5 se puede ver el memorizador de pulsos que se encarga de encender el led amarillo un tiempo determinado si la señal en la entrada tiene un pulso.

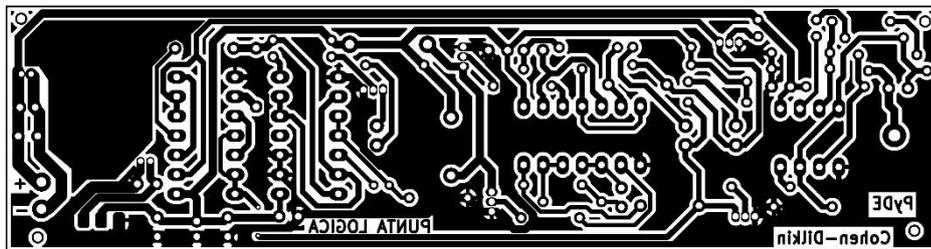


Fig. 6 (a): Diseño de primer prototipo (parte inferior).

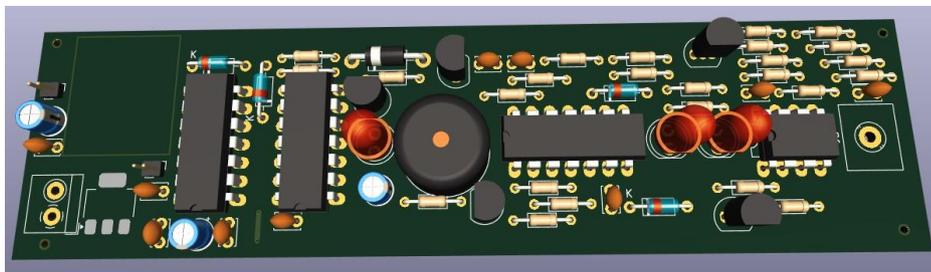


Fig. 6 (b): Diseño de primer prototipo (parte superior).

En la Fig. 6 se muestra el diseño terminado del primer prototipo diseñado para su implementación y pruebas necesarias a realizar para hacer las correcciones correspondientes.

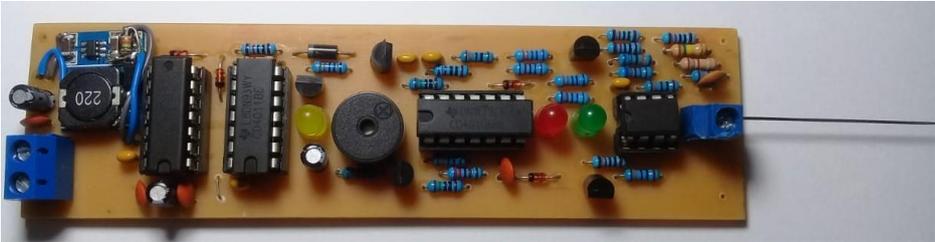


Fig. 7 (a): Implementación del diseño prototipo (parte superior).

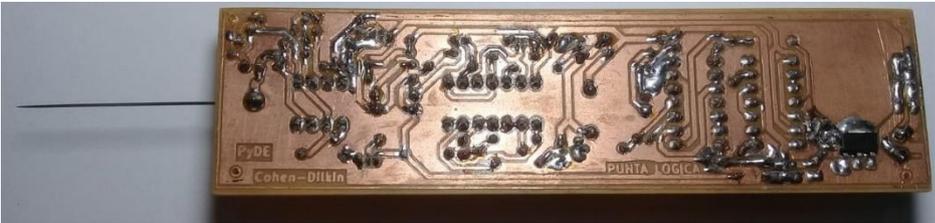


Fig. 7 (b): Implementación del diseño prototipo (parte inferior).

En la Fig. 7 se puede observar la correcta implementación del prototipo diseñado y se verifico que este no tenga ningún tipo de falla como cortocircuitos o pistas sin completar.

Como objetivo secundario se propuso realizar un inyector de señales el cual consta con la función de leer el estado que está en la pista y forzar a inyectar el estado contrario. Por ejemplo, si está en estado bajo, se inyecta un estado alto y viceversa

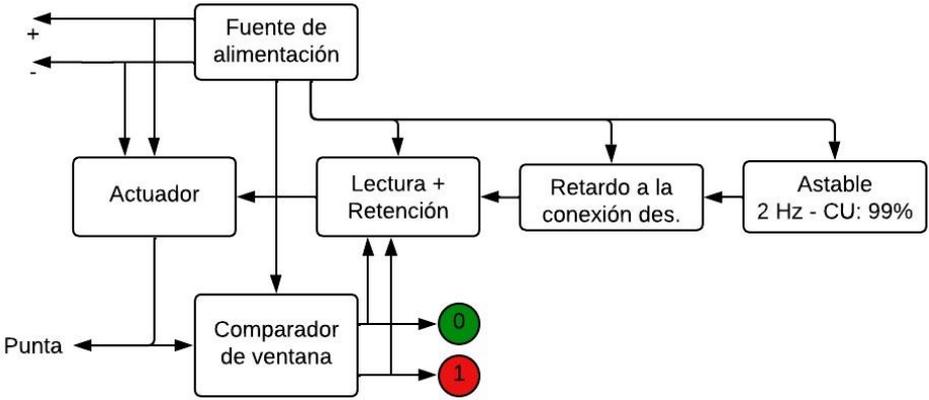


Fig. 8: Diagrama de bloques del inyector de señales.

Como se observa en la Fig. 8 el diagrama de bloques también consta de una fuente de alimentación para alimentar la mayor parte del circuito a una tensión fija y constante como la vista en la Fig. 2. La etapa de detección de estados es el mismo diseño que se ve en la Fig. 3. También consta de una etapa de lectura y en base a esta se asegura de que el estado inyectado sea el contrario al leído a través del actuador.

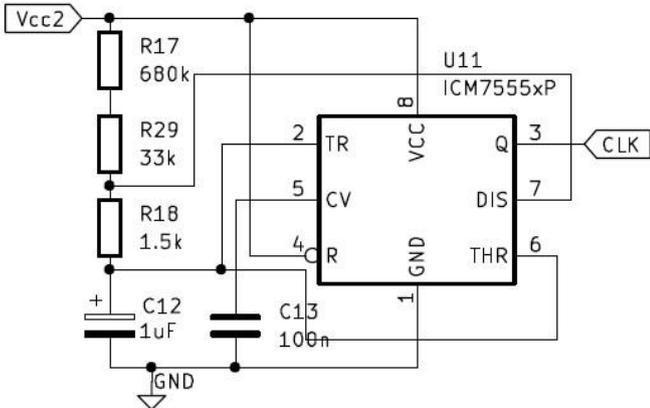


Fig. 9: Esquema del astable con ciclo útil de 99%.

En la Fig. 9 se observa el diseño implementado del circuito encargado de generar una señal reloj interna para tener un tiempo de lectura y uno de inyección definidos

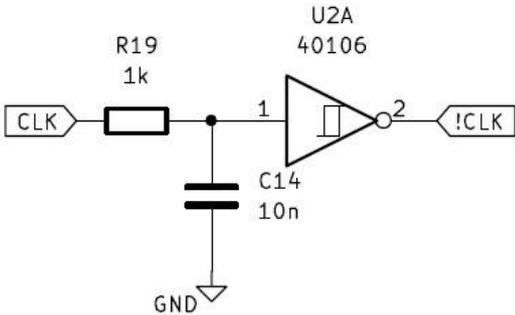


Fig. 10: Retardo e inversión de señal de reloj.

En la Fig. 10 se puede ver un circuito encargado de atrasar e invertir la señal de reloj, esto es para que después de un tiempo que el inyector deje de establecer un estado lógico se establezca la lectura

del punto en donde se desea medir, asegurando que no haya ningún fallo entre la entrada y la salida, siendo estas el mismo punto.

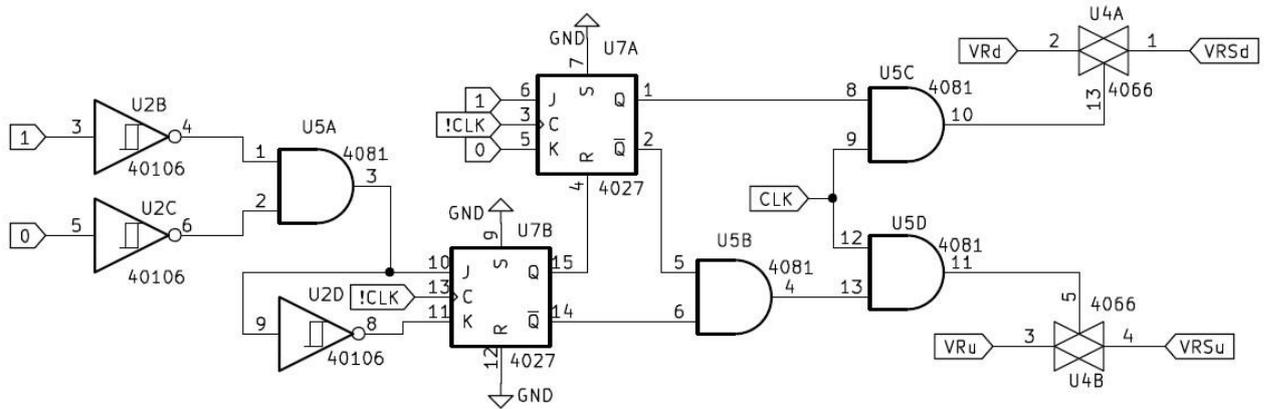


Fig. 11: Lógica combinacional de lectura y retención.

En la Fig. 11 se puede observar una lógica en donde se realiza una retención de la lectura realizada para que durante todo el tiempo de inyección se pueda fijar un solo estado como antes se mencionó anteriormente.

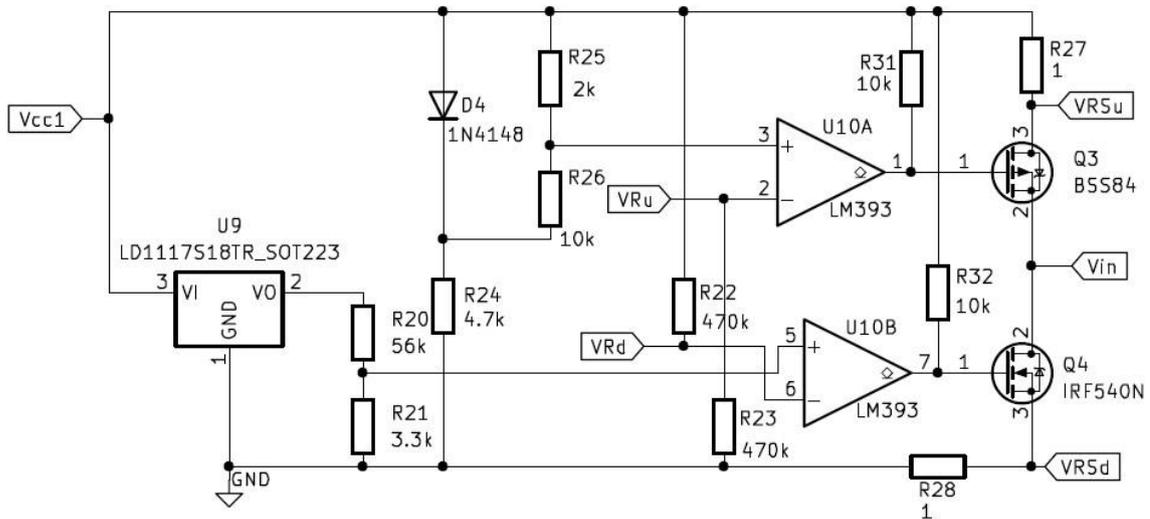


Fig. 12: Actuator y limitador de corriente.

En la Fig. 12 se puede ver el circuito que está encargado de la conmutación de las llaves en la salida para que se establezca una tensión fija y que el sentido de la corriente sea limitada, fijada y dependerá de la tensión en la cual se encuentra expuesta la punta (entrada/salida).

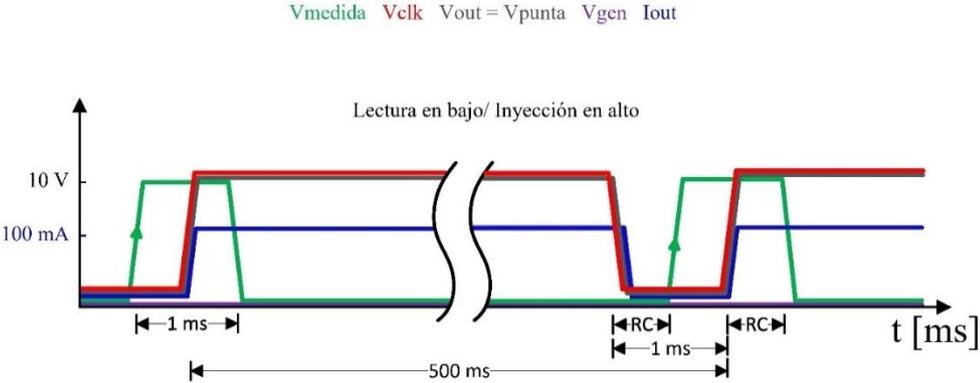


Fig. 13 (a): Diagrama temporal del inyector de señales (lectura en bajo).

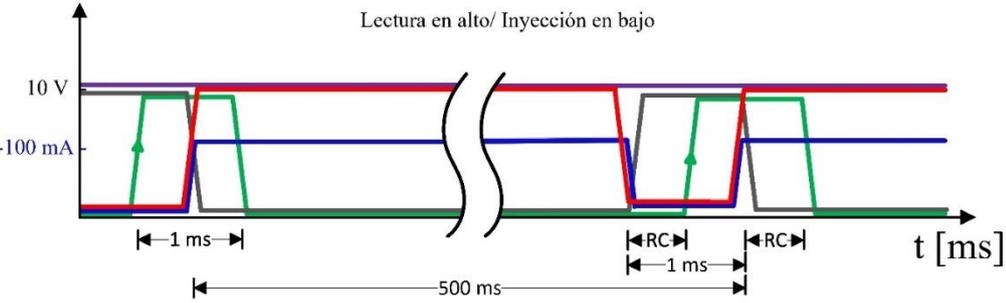


Fig. 13 (b): Diagrama temporal del inyector de señales (lectura en alto).

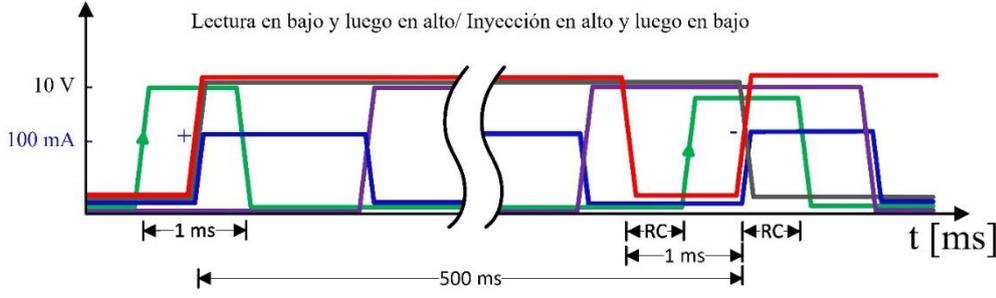


Fig. 13 (c): Diagrama temporal del inyector de señales (lectura de casos 1 y 2).

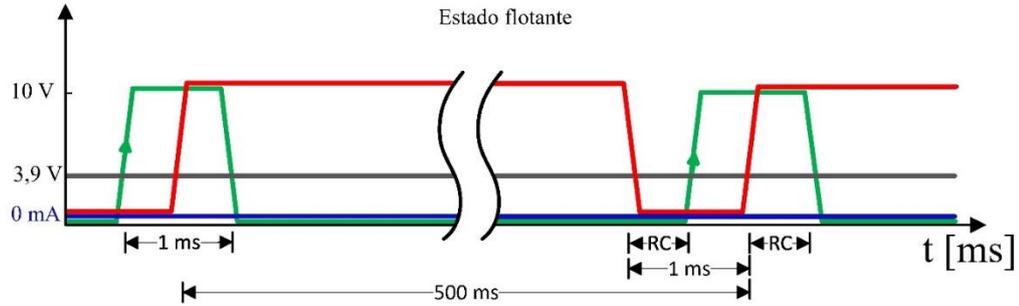


Fig. 13 (d): Diagrama temporal del inyector de señales (lectura con punta desconectada).

En la Fig. 13 se puede observar el funcionamiento temporal del inyector de señales, explicando claramente cada uno de los estados.

Conclusión

Para la realización del diseño prototipo se tuvieron inconvenientes tales como que al trabajar en un rango de tensiones tan variado la potencia de disipación puede ser un factor clave.

Requiere mayores números de resistores para poder obtener valores más precisos de resistencias.

Realizamos algunas pruebas de la placa y detectamos algunos fallos.

Referencias

- [1] «Plantilla Proyecto Eléctrico - Universidad de Costa Rica.» (2017). [Online]. Available: <https://es.overleaf.com/latex/templates/plantilla-proyecto-electrico/thtnrybqfsbf>. (Accedido: 13/11/2022).
- [2] T. Instruments, TTL Data Book. 1978.
- [3] R. J. Tocci, “Sistemas Digitales: Principios y aplicaciones”, 10ª ed., Pearson Educacion, Ed México, 2007.
- [4] T. L. Floyd, “Fundamentos de sistemas digitales”, 9ª ed., Pearson Educacion, Ed. Madrid, 2006.
- [5] J. F. Wakerly, “Digital Design: Principles and Practices”, 4th ed., Pearson Higered, Ed U.S., 2005
- [6] Assembly and Intruction Manual, Logic Pulser Kit Model LP-425K, ed1995, rev 2016, ELENCO, Wheeling, Illinois, U.S.
- [7] Assembly and Intruction Manual, Logic Pulser Kit Model LP-535K, ed1999, rev 2002, ELENCO, Wheeling, Illinois, U.S.