

Diseño e implementación de una microcomputadora de 8 bits

Facundo N. Alvarez ^{a*}, Joaquín Staciuk ^a, Ricardo A. Korpys ^a, Alejandro Maxit ^a

^a Facultad de Ingeniería, Universidad Nacional de Misiones (UNaM), Oberá, Misiones, Argentina.
e-mails: facundoalvarez1995@gmail.com, joaquistaciuk.96@gmail.com, korpys@fio.unam.edu.ar, alejandro.maxit@fio.unam.edu.ar

Resumen

En el presente trabajo se exponen los resultados obtenidos en el desarrollo de una microcomputadora realizada como actividad de desarrollo electrónico en la asignatura “Proyecto y diseño electrónico” correspondiente a la carrera de ingeniería electrónica. El proyecto en cuestión se encuentra aún en etapa de desarrollo, y consiste en la proyección e implementación de una microcomputadora de 8 bits, la cual debe contar con características de memoria e interacción de usuario y dispositivos externos a través de protocolos de comunicación.

El prototipo actual tiene incluido en su diseño todas las interfaces de hardware necesarias para realizar las primeras pruebas de funcionamiento de los protocolos de comunicación digital, los cuales serán implementados programáticamente vía software a través de las memorias incluidas dentro del diseño.

Palabras Clave – 8 bits, Microcomputadora, Protocolos de comunicación digital.

1 Introducción

El presente trabajo se desarrolla dentro del marco de la materia “Proyecto y diseño electrónico” del 5to año de la carrera de ingeniería electrónica de la Universidad Nacional de Misiones, en la cual se busca la proyección, diseño e implementación de circuitos electrónicos que abarquen las capacidades y contenidos desarrollados durante el transcurso de la carrera.

El proyecto en cuestión consiste en el diseño y construcción de una microcomputadora basada en un microprocesador específico, la cual deberá incluir la siguiente serie de características y funcionalidades:

- 1) Estar abastecida de una memoria volátil y no volátil.
- 2) La posibilidad de conexión de interacción con dispositivos electrónicos externos mediante un conjunto de entradas y salidas digitales.
- 3) La comunicación con dispositivos terminales que permitan la interacción con un usuario.
- 4) La posibilidad de interactuar con tecnología más moderna como lo son tarjetas de memoria SD o FRAM mediante el manejo de protocolos de comunicación digital.
- 5) La inclusión de un conversor analógico-digital.

El núcleo de este trabajo es el microprocesador CDP1802 [1] de la empresa RCA lanzado a principios de 1976, el cual posee una arquitectura y características que difieren significativamente de la mayoría de microprocesadores de la misma época. Este microprocesador fue sumamente popular entre los aficionados a la computación en su época de lanzamiento, ya que permitió a los mismos, por un muy bajo costo comercial [2], crear computadoras simplificadas que permitían el ingreso y ejecución manual de pequeños programas, así como también una facilidad de expansión de su hardware para la interacción con el mundo exterior.

Este documento se redacta una presentación inicial de cada uno de los bloques del sistema actualmente diseñado, seguido del cada una de las etapas de hardware que lo conforman para finalizar con la presentación del diseño final del prototipo con su modelo 3D ya que la misma se encuentra en etapa de desarrollo.



Fig. 1. Encapsulado del microprocesador CDP1802.

2 Sistema Prototipo

Dada la magnitud de las funcionalidades y características que se desean implementar en el circuito que conforma el sistema final de la microcomputadora en desarrollo, se proyecta el diseño de un primer sistema prototipo que permita el despiece en módulos de cada una de estas características, de modo de posibilitar el desarrollo y proyección de cada una de estas de manera individual y aislada antes de incluirse en el circuito final.

En la Figura 2, presentamos detallado un diagrama de bloques con todas las características requeridas por la computadora en su versión final, resaltando en distintos colores la división de etapas de hardware que haremos sobre el mismo de la siguiente manera:

- El microprocesador y sus conexiones directas (decodificador, memorias e interfaces de comunicación).
- La fuente de alimentación que abastece a todo el sistema.
- El conversor analógico digital.
- La interfaz de acceso a memorias seriales.

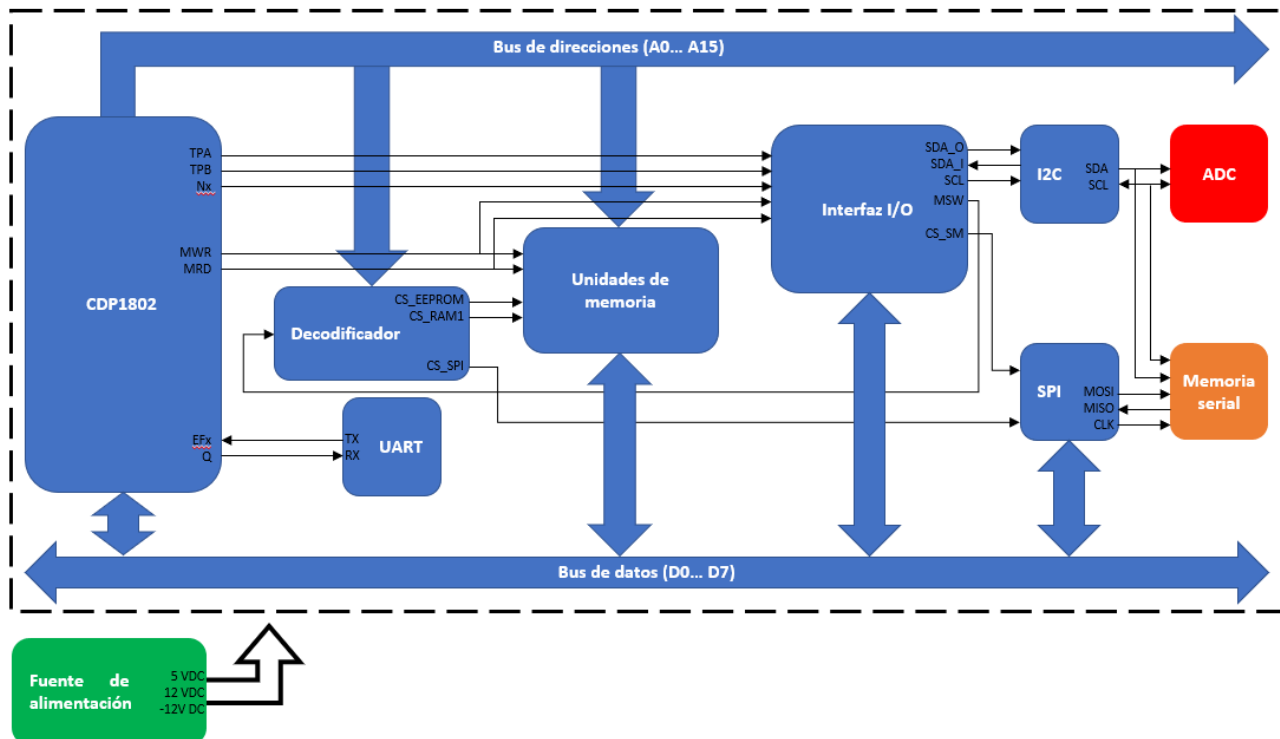


Fig. 2. Esquema de bloques y división de etapas de hardware.

Según podemos apreciar, esta división nos permitirá aislar las pruebas de prototipo individuales de cada etapa sin comprometer a las demás o al sistema global final.

2.1 Hardware

En esta sección se presentan los diagramas esquemáticos de la primera parte del sistema prototipo modular [El microprocesador y sus conexiones directas (decodificador, memorias e interfaces de comunicación)].

2.1.1 Microprocesador CDP1802

Este primer bloque se aprecia en la Figura 3 y está conformado por la entrada de alimentación, el oscilador de frecuencia, el microprocesador CDP1802, un circuito de retención de 8 bits, un indicador LED de la salida Q y un par de pulsadores que conforman la interfaz de usuario. La etapa más destacable de este bloque es la del circuito de retención conformado por el latch 74HC373 [3], el cual cumple la función de retener el primer byte transmitido por el CDP1802 y complementarlo con el segundo, alcanzando de esta forma una capacidad de direccionamiento de 16 bits sobre el bus de direcciones.

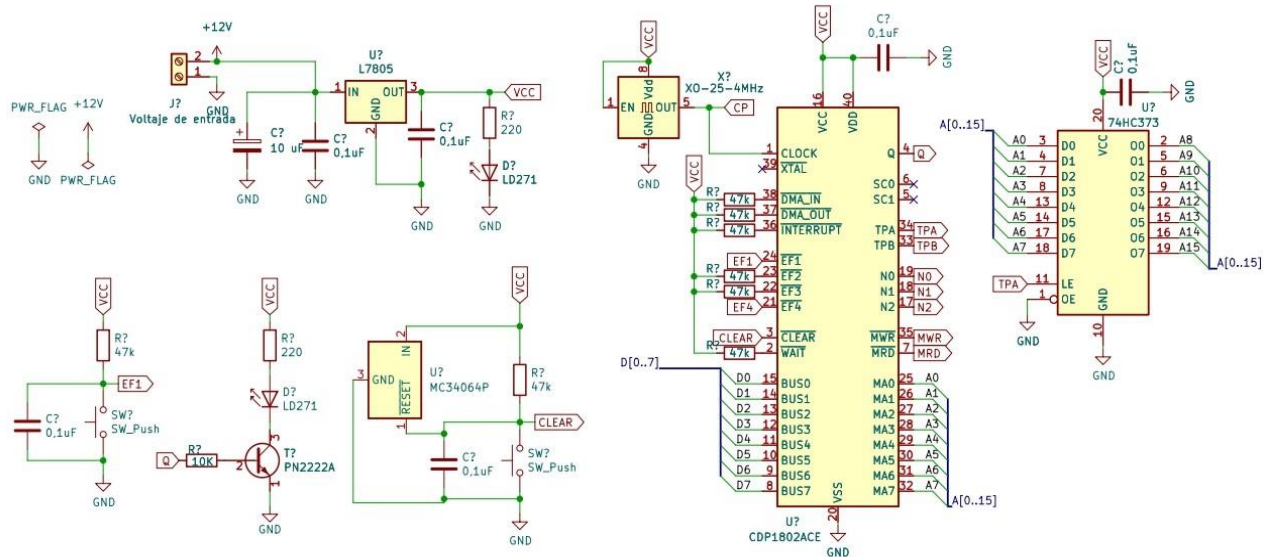


Fig. 3. Esquemático Microprocesador.

2.1.2 Unidades de Memoria

Para esta versión prototipo, usa la capacidad de direccionamiento completa que ofrece el CDP1802. Dotando al mapa de memoria de 32K de memoria ROM y 32K de memoria RAM.

La memoria ROM, el EEPROM X28C256 [4], se utiliza como memoria de programa, donde almacena las instrucciones a ser ejecutadas por el microprocesador. En este punto es donde hace uso el programador universal XGecu TL866-3G, el cual se encarga de grabar las instrucciones previas a la ejecución.

La memoria RAM, el DALLAS DS1744-070 [5], se utiliza como memoria de datos en tiempo de ejecución, donde se escribe y lee variables, resultados de operaciones, etc. Cabe destacar en este punto, que las direcciones abarcadas desde F800h a FBFFh se encuentran reservadas para el uso exclusivo del bus de transmisión SPI.

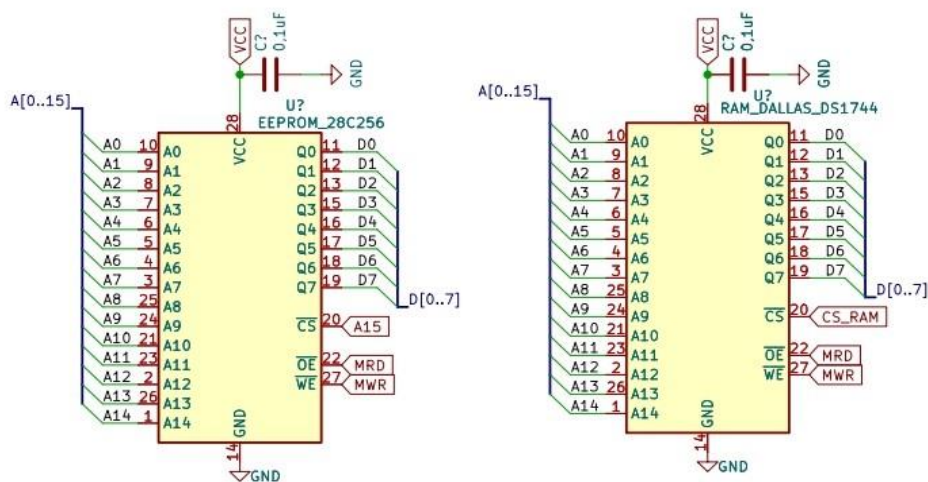


Fig. 4. Esquemático de las memorias EEPROM y RAM.

2.1.3 Decodificador

La misma se encarga de la selección de memoria a ser utilizada (RAM o ROM) según el contenido del bus de direcciones. Si bien la distinción entre ambas puede realizarse a partir del estado lógico del bit más significativo del bus de direcciones (A15), dado que parte de la memoria RAM está reservada para el bus SPI se utiliza un decodificador 74HC138 [6] que controla la activación de este bus durante los direccionamientos a las mismas.

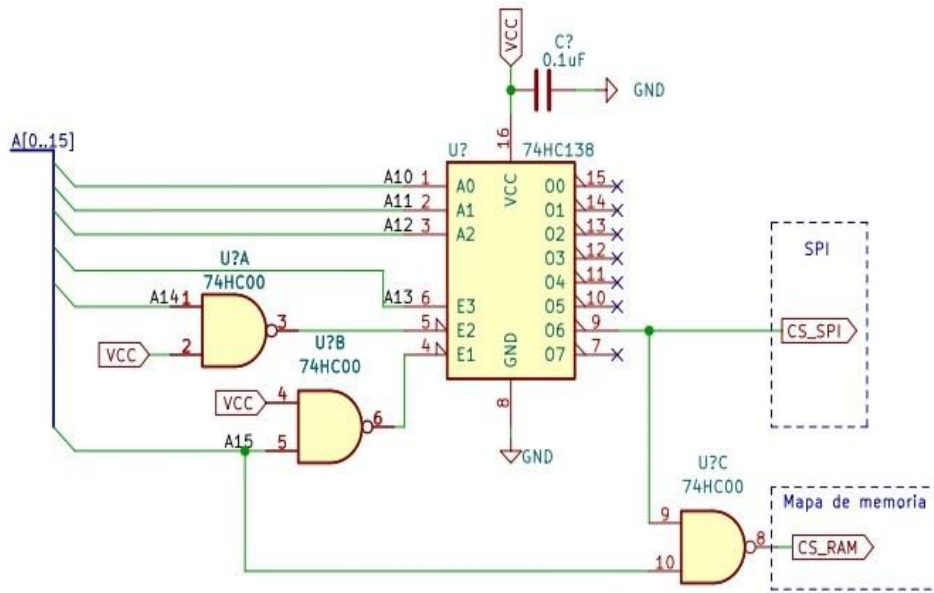


Fig. 5. Esquemático del Decodificador.

2.1.4 Interfaz I/O

Se enfoca en la interfaz de entrada y salida para que el usuario pueda conectar los periféricos a la salida de los puertos de 8-bits que posee el integrado 82C55A [7] como se muestra en la Figura 6. A sí mismo, comanda las recepciones de los buses I2C y SPI que se verán a continuación.

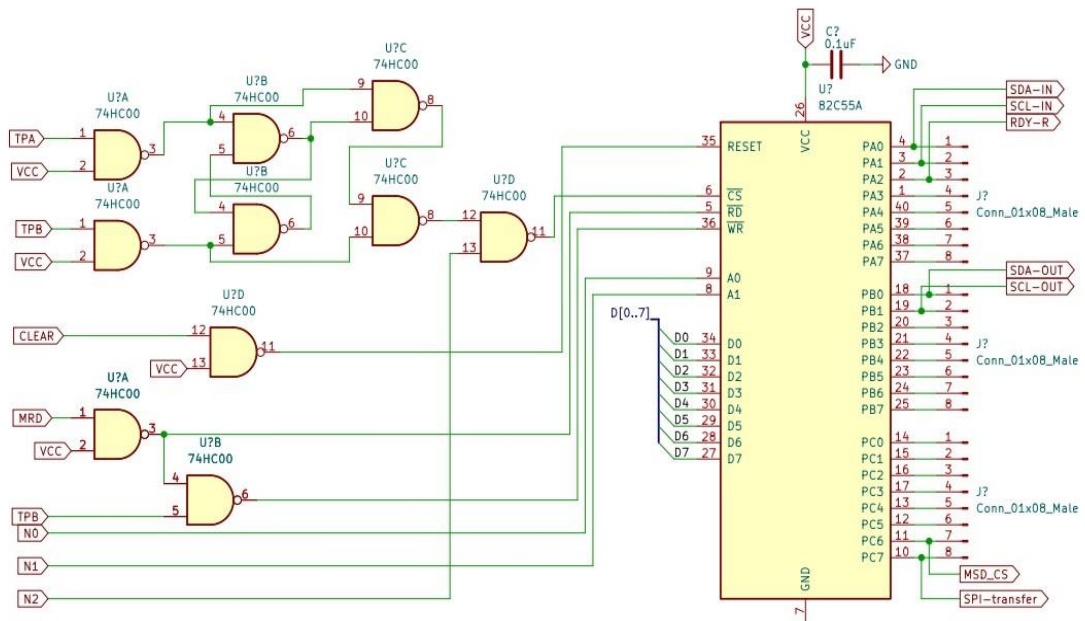


Fig. 6. Esquemático de la interfaz I/O.

2.1.5 Bus de comunicación SPI

Se presenta un circuito para realizar la comunicación SPI. Fue planteado con el objetivo de simplificar el procesamiento de datos en el microprocesador, realizándose un gran número de iteraciones en el circuito de manera transparente para el procesador.

El esquema propuesto cuenta con una señal de reloj de 4Mhz originado del oscilador de frecuencia utilizado en el Microprocesador de la figura 3.

Dicha comunicación consiste en utilizar 2 registros de desplazamiento (shift-register), uno para el envío de datos y otro para la recepción de datos.

2.1.7 Bus de comunicación UART

Para la comunicación UART se basa en un software que controla y utiliza el pin Q del microprocesador para la transmisión de datos. Se establece una comunicación con una terminal desde un PC que requiere la conexión por medio de USB, por lo que se conecta una interfaz FTT232L [9], que realiza la interpretación y retransmisión de los protocolos, en los que se incluye la interacción con el usuario.

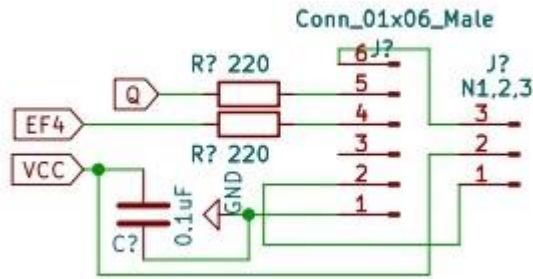


Fig. 9. Esquemático del bus de comunicación UART.

2.1.8 Placa PCB

A continuación, se presentará un esquema en 3D de la placa con los sistemas antes mencionados:

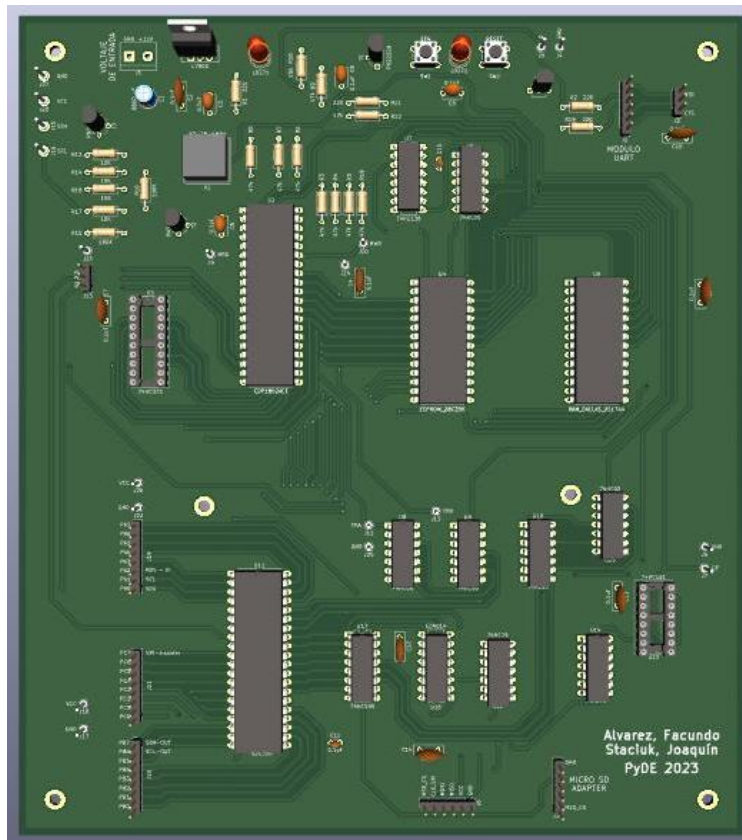


Fig. 10. Visión 3D de la Placa Prototipo.

2.2 *Software*

Para la implementación de las diferentes funcionalidades de la microcomputadora, se requiere un trabajo de programación basado en las instrucciones que maneja el microprocesador CDP1802. La lista de estas instrucciones se encuentra detalladas en el manual de usuario del microprocesador [10], y son una variante del lenguaje ensamblador (Assembler) adaptado a la arquitectura COSMAC. El desarrollo de esta etapa consiste en proporcionar al microprocesador un conjunto de instrucciones secuenciales que le permita administrar la interacción con los distintos dispositivos de hardware conectados al mismo. De modo que, tomando como referencia la división de etapas del sistema prototipo detallada previamente se elaboraron una serie de programas individuales e independientes para cada bloque dentro de esta pieza de hardware, los cuales posteriormente serían anidados en una versión final de software destinado a la computadora.

2.2.1 *Terminal UART*

Esta etapa del software fue desarrollada para permitirle a la computadora la interacción con una terminal externa, de modo de funcionar como interfaz principal usuario-máquina. La lógica de trasfondo controla el puerto de salida Q y el puerto de entrada EF del microprocesador, dándoles la funcionalidad de los puertos TX y RX del protocolo UART [11] respectivamente.

2.2.2 *Comunicación SPI*

Para la comunicación SPI [12] fue necesario desarrollar una rutina de software capaz de gestionar la interfaz de hardware presentada en la Figura 7. Cabe destacar que gracias a esta estructura de hardware el trabajo lógico realizado por el microprocesador se simplificó enormemente, ya que se reduce a colocar el dato a ser enviado en el bus de datos y dar la señal de activación que inicia la comunicación a través del puerto de salida MOSI. Una vez finalizada, la propia interfaz de hardware notifica al microprocesador la disponibilidad de los datos recibidos, permitiendo que este lea el dato recibido por la línea MISO desde el bus de datos.

2.2.3 *Comunicación I2C*

A diferencia del protocolo SPI o UART que poseen una interfaz de hardware dedicada o son administrados de forma directa al microprocesador, la arquitectura de hardware comunicación I2C [13] está dada a través de la interfaz I/O, por lo que fue necesario adaptar su rutina de software de modo de no interferir con las salidas digitales compartidas en los puertos.

La lógica programática detrás de este protocolo consistió en hacer uso de los recursos de memoria, generando inicialmente una pila de datos de todos los estados lógicos de los pines SCL y SDA antes de iniciar la transmisión, para posteriormente escribirlos de forma secuencial y cronometrada sobre el bus de datos y hacia los puertos de la interfaz I/O.

3 Conclusiones

De los objetivos planteados del proyecto, se ha conseguido la proyección de un sistema prototipo que permitirá el desarrollo independiente de las características que se desean añadir al sistema final.

Del módulo diseñado hasta este punto se ha conseguido completar el desarrollo de software para cada una de las interfaces de comunicación, quedando pendiente el desarrollo de las rutinas de orientadas al control de los puertos de la interfaz I/O, la cual debe permitir la interacción con dispositivos externos mediante la activación de sus entradas y salidas digitales. Mientras que, por la parte de hardware, se ha completado un primer diseño preliminar de placa PCB.

Los próximos pasos a desarrollar una vez finalizado este primer módulo, serán el diseño de las etapas de hardware faltantes, correspondientes al conversor analógico digital, las memorias externas y la fuente de alimentación que abastece al sistema.

Referencias

- [1] “CDP1802 Datasheet,” Intersil Corporation, Date. [Online] Available: <https://n9.cl/x0kz9>
- [2] J. Weisbecker, “Popular electronics Magazine—THE COSMAC ‘ELF’,” pp. 33–38, Aug. 1976. Accessed on: 07, 30, 2023, [Online] Available: <https://n9.cl/p24e4>
- [3] T. Instruments, “Octal Transparent D-Type Latches With 3-State Outputs - 74HC373” May, 2022. [Online]. Available: https://www.ti.com/lit/ds/symlink/cd74hc373.pdf?ts=1669082180400&ref_url
- [4] Xicor, “5 Volt, Byte Alterable E2PROM - X28C256” 1995. [Online]. Available: <https://docs.rs-online.com/eac9/0900766b800263a1.pdf>
- [5] M. Integrated, “Y2K-Compliant, Nonvolatile Timekeeping RAMs - DS1744-070” Rev 6/13, 2013. [Online]. Available: https://www.ti.com/lit/ds/symlink/cd74hc373.pdf?ts=1669082180400&ref_url
- [6] T. Instruments, “High-Speed CMOS Logic 3- to 8-Line Decoder - 74HC138” 2021. [Online]. Available: https://www.ti.com/lit/ds/symlink/cd74hc138.pdf?ts=1668867982221&ref_url
- [7] Intersil, “CMOS Programmable Peripheral Interface - 82C255A” 2015. [Online]. Available: <https://www.renesas.com/us/en/document/dst/82c55a-datasheet>
- [8] Fairchild, “NPN General-Purpose Amplifier - PN2222A” 2021. [Online]. Available: <https://www.mouser.com/datasheet/2/149/PN2222A-889968.pdf>
- [9] FTDI, “Future Technology Devices International Ltd. FT232R USB UART IC Datasheet” R Package Versión 2.16 - 2012. [Online]. Available: <https://www.mouser.com/datasheet/2/149/PN2222A-889968.pdf>
- [10] “User Manual For The CDP1802 COSMAC Microprocessor,” RCA Corporation, 1976. [Online] Available: <https://n9.cl/50phu>
- [11] Robert Keim, “Back to Basics: The Universal Asynchronous Receiver/Transmitter (UART),”, Dec. 20, 2016. [Online]. Available: <https://n9.cl/ynl0a>
- [12] Mark Hughes, “SPI (Serial Peripheral Interface),”, Feb. 13, 2017. [Online]. Available: <https://n9.cl/tpicv>
- [13] “HETPRO®—I2C-Puerto, Introducción, trama y protocolo,”. Accessed on: 07, 30, 2023, [Online] Available: <https://n9.cl/dpu1y>