



Generador digital de onda senoidal con frecuencia variable

Uriel A. Vera ^{a*}, Sergio A. Pacheco ^a, Juan P. Gross ^{b,c}, Guillermo A. Fernández ^{b,c}

^a *Universidad Nacional de Misiones, Facultad de Ingeniería, Oberá, Misiones, Argentina.*

^b *Universidad Nacional de Misiones, Facultad de Ingeniería, Instituto de Materiales de Misiones (IMAM), Misiones, Argentina.*

^c *ETCOLAB, GIDE, Juan Manuel de Rosas 325, Oberá, Misiones, Argentina.*

uriel.vera.tec@gmail.com; sergioarielpacheco@gmail.com; gross@fio.unam.edu.ar; fernandez@fio.unam.edu.ar

Resumen

El siguiente trabajo expone las tareas realizadas en la actividad integradora de la asignatura Técnicas Digitales 2, correspondiente al cuarto año de la carrera Ingeniería Electrónica. En la actividad se propone el desarrollo (software y hardware) de un sistema electrónico digital capaz de generar una onda senoidal a partir de los pines de un microcontrolador, teniendo la capacidad de poder configurar su frecuencia y disponer de este valor numérico en un display LCD. El objetivo de la actividad es integrar los saberes abordados en la asignatura, buscando la resolución de una situación problemática que podría darse en la realidad. Para dar solución a la misma, se utiliza la modulación por ancho de pulso (PWM) implementada con el microcontrolador ATmega 2560, que posee la placa Arduino MEGA. Los resultados obtenidos en esta actividad demuestran que, aplicando los saberes adquiridos durante el desarrollo de la asignatura, se ha llegado a una solución que cumple con las especificaciones solicitadas. Comprobando así que la realización de actividades integradoras como esta, resultan de suma importancia para el desarrollo de competencias orientadas al diseño de circuitos digitales, necesarias para la resolución de problemas que podrán abordar los estudiantes como futuros profesionales de la Ingeniería Electrónica.

Palabras Clave – *Arduino, frecuencia variable, generador, digital, onda senoidal.*

1. Introducción

La variación de frecuencia de una onda, sea senoidal o de cualquier forma de onda, es una técnica muy utilizada en numerosas aplicaciones en el ámbito industrial, una de las más conocidas es el control de velocidad de motores de corriente alterna [1].

La actividad integradora planteada en la asignatura Técnicas Digitales 2, propone diseñar un sistema digital orientado a la generación de una onda senoidal con frecuencia variable en los rangos de 0 Hz a 100 Hz, 0 Hz a 500 Hz y de 0 Hz a 2000 Hz. La frecuencia de esta señal debe mostrarse en un display de cristal líquido (LCD de 16X2), a modo que el usuario pueda visualizar el valor numérico de la frecuencia deseada al configurarla mediante una resistencia variable (preset). La técnica usada para resolver la problemática es la modulación por ancho de pulso (PWM), generada con un pino de salida del microcontrolador ATmega 2560 [2], que está embebido en la placa Arduino MEGA

2560. El programa desarrollado para este dispositivo calcula los datos necesarios para proporcionar la frecuencia correspondiente [3], los carga en el módulo PWM del microcontrolador generando la señal PWM en uno de sus pines de E/S, que luego es sintetizada por un filtro, lográndose con esto la señal de forma de onda senoidal deseada.

En los siguientes apartados se detalla el funcionamiento de la técnica propuesta, exponiendo los procedimientos, cálculos, estrategias y consideraciones utilizados, como así también explicándose su funcionamiento y presentándose las consideraciones tomadas en cuenta para llegar a la solución más adecuada de implementar en la práctica. Prosiguiendo, van los cálculos requeridos en el procedimiento de diseño y los resultados de la implementación en la placa de pruebas que valida el funcionamiento del sistema diseñado. Finalmente se expresan las conclusiones obtenidas a partir del desarrollo de la actividad integradora mencionada.

2. Técnica propuesta

Para dar solución a la problemática indicada en la actividad integradora, seguidamente se describe el funcionamiento del método propuesto que permite generar la señal senoidal de frecuencia variable, mediante un circuito digital. En esta sección inicialmente se realiza una introducción teórica a la técnica de modulación por ancho de pulso (PWM) y luego se explica cómo es la configuración y el funcionamiento del módulo PWM del microcontrolador que posee el ATmega 2560.

2.1. Modulación por ancho de pulso (PWM) [4]

Una señal modulada por ancho de pulso se caracteriza por tener una frecuencia fija y un ciclo de trabajo (ciclo útil D) variable, este último representa el porcentaje de tiempo en que una señal repetitiva es lógicamente activa (estado alto o encendido) durante el periodo de una señal. El ciclo útil de una señal periódica se define mediante el cociente entre el ancho relativo de su parte positiva o tiempo en alto de la señal (W) y el período de la señal (T), como lo indica la Ec. (1) y también puede observarse en la Fig. 1.

$$D = \frac{W}{T} \quad (1)$$

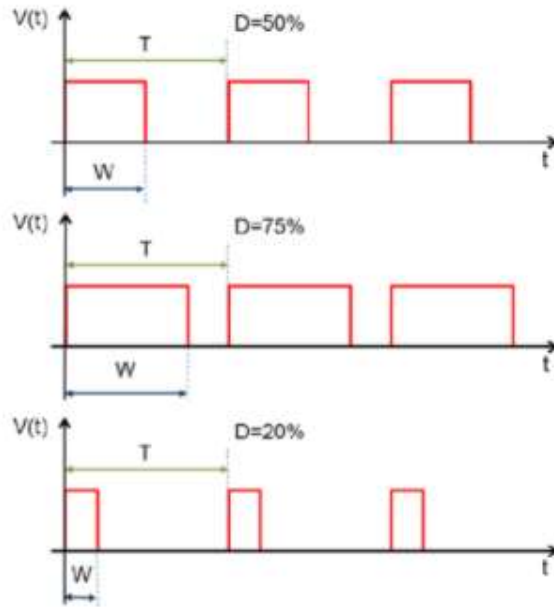


Fig. 1. Señales con distintos ciclos útil para el mismo periodo T.

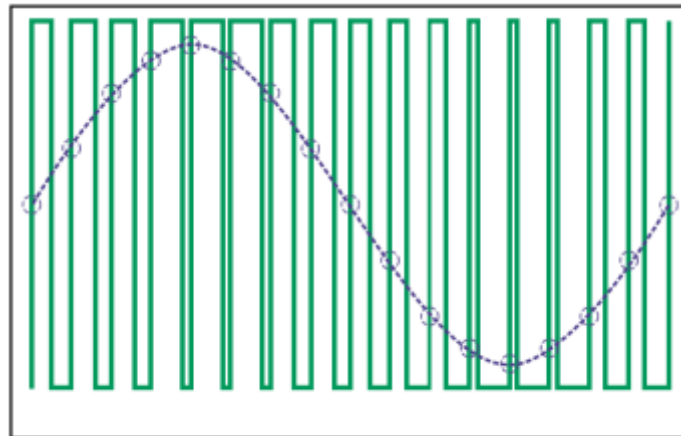


Fig. 2. Señal digital con modulación de ancho de pulso senoidal.

El objetivo del método aquí presentado, es utilizar la variación del ciclo útil en una señal PWM de tal manera que se genere una forma de onda sinusoidal a través de un filtro. La Fig.2 muestra una señal sinusoidal continua superpuesta sobre una señal digital con modulación de ancho de pulso senoidal. En la misma puede apreciarse que a medida que la amplitud de la señal senoidal aumenta también lo hace el ciclo útil de la señal digital, hasta llegar al máximo posible. Por otra parte, a medida que la amplitud del seno decrece también lo hace el ancho de pulso correspondiente, hasta llegar al nivel mínimo posible. De esta manera se aprecia que para cada valor de la señal existe un correspondiente ancho de pulso, observándose así la relación existente entre ambas señales.

La consigna propuesta en el trabajo integrador solicita obtener una señal senoidal de frecuencia variable. Entonces, según la Fig. 2, modificando adecuadamente el ciclo útil de una señal digital, con un algoritmo adecuado es posible disponer a la salida de un microcontrolador una señal PWM, que mediante el filtrado correspondiente, permite obtener la onda requerida [5]. Si además de variar el ciclo útil de la señal PWM también se modifica su período, es posible aumentar o disminuir la frecuencia de la senoide generada. A continuación, se expone la configuración del módulo utilizado en el microcontrolador ATmega 2560 para obtener la solución propuesta.

2.2. Configuración del módulo PWM del ATmega 2560 [6].

El microcontrolador ATmega 2560 posee 6 Timers disponibles los cuales pueden configurarse como contadores o como PWM [2]. Un Timer que opera en modo PWM posee dos formas de funcionamiento configurables, las cuales son el modo “Phase Correct PWM” y “Fast PWM”. En esta última configuración, el contador del Timer utilizado posee un conteo ascendente desde 0x00 hasta alcanzar el valor denominado TOP y luego el contador es resetado a 0x00. El valor de TOP puede ser el máximo disponible (0xFFFF) o el cargado en el registro OCRnA del Timer usado. El valor de TOP es el que determina el período T de la señal PWM mediante la siguiente ecuación:

$$T = (1 + TOP) \cdot N \cdot T_{clk} = (1 + OCRnA) \cdot N \cdot T_{clk} \quad (2)$$

En la Ec. (2) N es el valor del prescaler o divisor de frecuencia que posee el Timer usado y T_{clk} es el período de reloj del microcontrolador, dado por la frecuencia del cristal oscilador con que opera este dispositivo. El valor del ciclo útil debe ser cargado en otro registro del módulo PWM (OCRnB) y así poder variar la forma de onda generada. La relación entre el tiempo de ciclo útil y el registro OCRnB puede verse en la siguiente ecuación:

$$TCU = OCRnB \cdot N \cdot T_{clk} \quad (3)$$

La salida del módulo PWM debe ser configurado para operar en modo invertido o no invertido. Esto puede apreciarse en el diagrama de la Fig.3.

Cabe mencionar que debido a las prestaciones ofrecidas, es seleccionado el Timer5 para el funcionamiento del PWM. Este Timer posee un contador de 16 bits.

Entonces con la configuración correcta del Timer seleccionado, la determinación del periodo T de la señal PWM según la Ec. (2) y del ciclo útil correspondiente según la Ec. (3), mediante un filtro adecuado puede lograrse la forma de onda senoidal deseada.

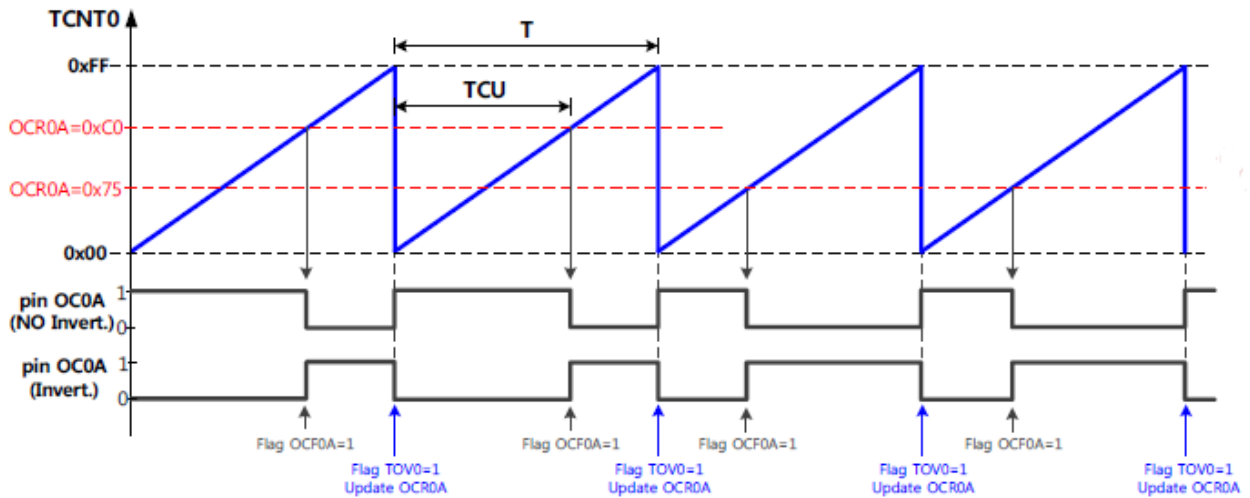


Fig. 3. Operación del Timer en modo Fast PWM.

Seguidamente se explican algunas cuestiones relacionadas con el programa desarrollado para obtener la señal PWM con ciclo útil modulado senoidalmente y el ajuste del periodo para obtener la onda senoidal de frecuencia variable solicitada en la actividad integradora.

2.3. Método de cálculo por ecuación normalizada y carga inmediata (ENCI)

La función del algoritmo (programa) desarrollado para el ATmega 2560 es generar una señal de salida PWM de tal manera que al filtrarla se obtenga la onda senoidal deseada. El programa diseñado relaciona la variación del ancho del pulso para generar la onda senoidal y utiliza la capacidad de variación del período T que posee el contador del Timer5 para aumentar o disminuir la frecuencia de la onda la senoidal requerida.

El programa principal desarrollado para este trabajo, efectúa la lectura de un pulsador que permite variar los rangos de frecuencia de salida y también utiliza el conversor analógico digital del ATmega 2560 para convertir los valores de tensión provistos por el preset (resistencia variable) utilizado para aumentar o disminuir la frecuencia de la senoidal (según el rango seleccionado mediante el pulsador). El diagrama de flujo del programa desarrollado, se encuentra en la Fig. 4. En la función principal se realizan el testeo o “polling” del pulsador para seleccionar el rango de frecuencias de la onda senoidal a generar y la correspondiente visualización del valor en el display LCD. La frecuencia de salida deseada se obtiene realizando la conversión analógico-digital del voltaje proporcionado por un preset [7], usándose para esto el módulo ADC del microcontrolador configurado en modo “Free Running” para realizar una conversión cada 1 segundo. Iterativamente con las acciones mencionadas, se produce el cálculo de la frecuencia de muestreo del módulo PWM.

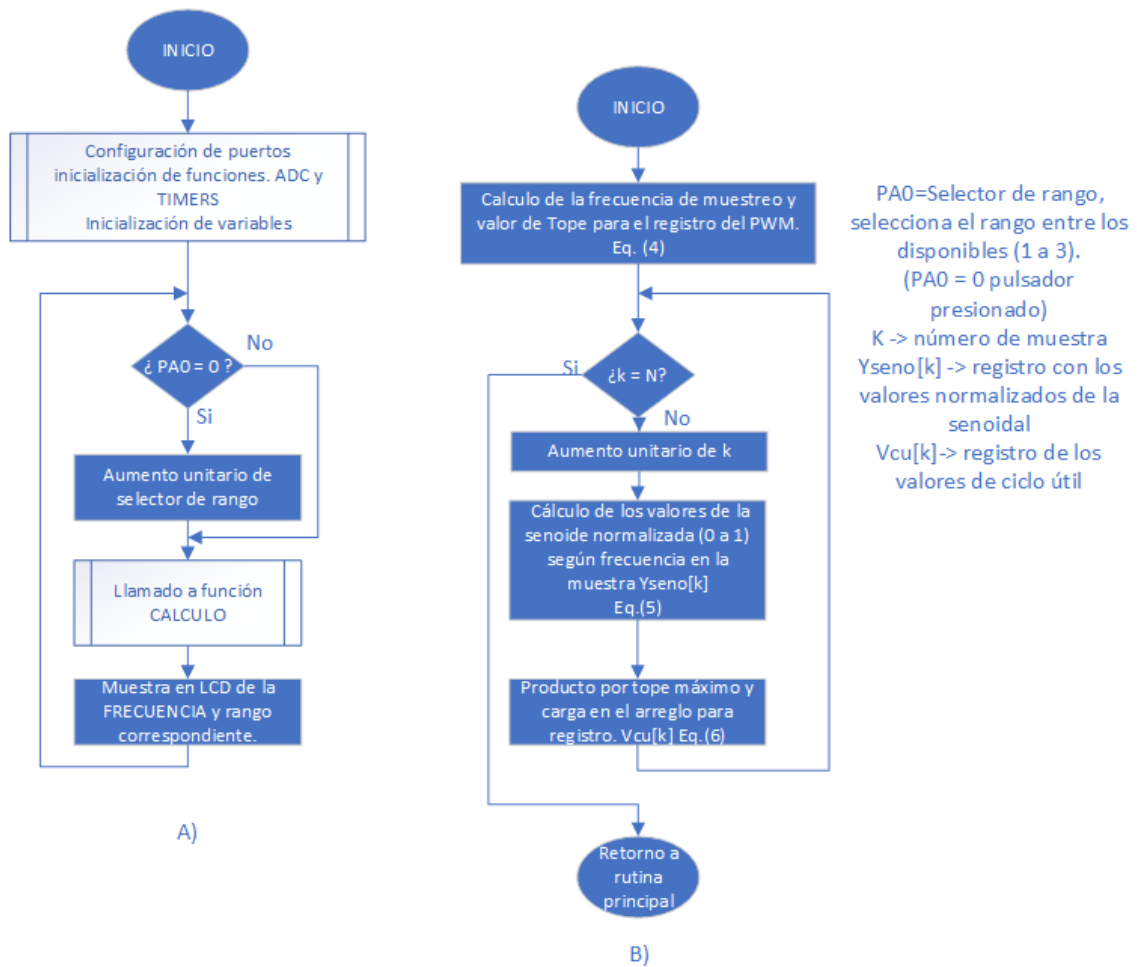


Fig. 4: A) Diagramas de flujos de la función principal; B) Diagrama de flujos del cálculo para método ENCI.

La Fig.4B muestra el diagrama de flujos representativo del método de cálculo. A través del mismo, la función principal, iterativamente calcula y carga los valores de ciclo útil de la para obtener la señal senoidal deseada en el módulo PWM, el cual posee activado la interrupción por desbordamiento del Timer. Así, se efectúa la carga del ciclo útil luego de haber terminado el ciclo anterior. De esta manera, cada vez que el Timer solicita el siguiente valor para realizar la modulación, el mismo está calculado y presente en el registro correspondiente. La frecuencia de muestreo $F_{muestreo}$ se obtiene a partir del número de muestras deseado n y de la frecuencia de salida deseada F_{sal} , como se muestra en la Ec. (4). La frecuencia F_{sal} es provista por el módulo ADC mencionado anteriormente.

$$T = \frac{1}{F_{muestreo}} ; F_{muestreo} = n \cdot F_{sal} \quad (4)$$

Para obtener el valor a cargar en el registro del módulo PWM, se realiza un cálculo único el cual está compuesto por dos operaciones principales. Primeramente, se calcula el valor porcentual

correspondiente al valor medio de la senoide deseada en cada instante de muestreo. Es decir, si el valor máximo de la senoide de salida es de 5 V, para obtener un valor de 2,5 V, el resultado de la operación debe ser 0,5 (50%). Así la ecuación arroja valores que varían de 0 a 1 (0 V a 5 V). La senoidal de salida se encuentra desplazada con un valor medio positivo, debido a la disponibilidad de voltaje en la salida del microcontrolador (de 0V a 5V). Esto puede verse en la Ec. (5):

$$Y_{seno} [k] = Y_{med} + Y_{max} \cdot sen(2 \cdot \pi \cdot F_{sal} \cdot k \cdot T) = 0,5 + 0,5 \cdot sen(2 \cdot \pi \cdot F_{sal} \cdot k \cdot T) \quad (5)$$

donde Y_{seno} es el valor normalizado de la senoide; Y_{med} es el valor medio de la senoidal normalizada de 0,5 (2,5 V); Y_{max} es el valor máximo de salida que es de 0,5 (con $Y_{med} = 0,5$) y T_s es el período de muestreo de la senoidal deseada con k número de muestras.

Obtenido del valor normalizado de cada muestra, se lo multiplica por el valor TOP del registro del Timer (valor en OCR5A), que es igual al que configura la frecuencia de muestreo y se lo carga en un arreglo de datos. Esto se hace mediante la siguiente ecuación:

$$V_{CU} [k] = Y_{seno} [k] \cdot TOP \quad (6)$$

La Ec. 6 es la que permite obtener el valor de ciclo útil respecto al período del PWM. De esta manera se asegura que el valor máximo disponible para el ciclo útil sea el del período de PWM y el valor mínimo sea 0, con esto evitándose inconvenientes en el funcionamiento del módulo PWM del microcontrolador. De esta manera se obtienen los valores en el arreglo para cargar en el registro mediante la interrupción. En la rutina de servicio a la interrupción se recorre el arreglo $VCU[k]$ y luego se carga el valor correspondiente en el registro OCR5B, entonces cada periodo del PWM posee un nuevo ciclo útil y así genera la senoide con la frecuencia generada.

3. Diseño de software y hardware

En este apartado se exponen todos los lineamientos del programa que ejecuta el microcontrolador y los cálculos realizados para resolver la problemática propuesta. Como se mencionó anteriormente el microcontrolador utilizado es el ATmega 2560. Para obtener el funcionamiento integral del sistema, se utilizan entradas tanto digitales y como analógicas de este dispositivo. Esto se aprecia en el esquema dado por el Anexo 1.

3.1. Configuración de Timer5 como FAST PWM [6]

El Timer5 se configura como FAST PWM, con tope en el registro OCR5A y ciclo útil cargado en el registro OCR5B. Configuración que permite variar la frecuencia del PWM mediante el conversor analógico digital. Los registros de configuración utilizados se establecen de la siguiente manera:

```

TCCR5A = 0b00100011; // Modo FAST PWM con tope en OCR5A y OC5B como salida PWM no invertida
TCCR5B = 0b00011001; // Prescaler del PWM en 1
TIMSK5 = 0b00000001; // Activación de interrupción por desbordamiento
TIFR5 = 0x00; // borrado de flag de interrupciones

```

En la rutina de servicio a la interrupción se realiza la carga del valor del ciclo útil en el registro OCR5B.

3.2. Configuración de puertos del ATmega 2560 y conexión al Display LCD

Esta configuración es simple ya que solamente se utiliza una entrada digital para el pulsador selector de rangos de frecuencia. Para esto es configurando al pin PC0 del puerto C como entrada. La configuración para el funcionamiento del display LCD se logra mediante la inclusión de librerías que habilitan la comunicación mediante los pines del puerto A del microcontrolador. Las configuraciones correspondientes se muestran de mejor manera con el esquema del Anexo 1.

3.3. Conversión analógico-digital

El conversor analógico-digital (ADC) del microcontrolador utilizado es configurable en modo “Free Running”, con conversión de 10 bits, referencia interna de 5 V y prescaler de ADC en 128, convirtiéndose el valor de tensión en la entrada analógica A0. Los registros de configuración utilizados se establecen de la siguiente manera:

```

DIDR0 = 0x01; // Desconecta la parte digital del pin ADC0/PF0.
ADMUX = 0x40; // la ref. de tensión interna (AVCC = Vcc = 5V).
// Conversión AD de 10 bits (ADLAR = 0) y con el
// Multiplexor selecciona canal 0 (ADC0/PF0).
ADCSRB = 0x00; // Modo free-running.
ADCSRA = 0b10001000; // Habilita funcionamiento del ADC (bit ADEN=1) y
// prescaler en 128.

```

Para activar la conversión, es utilizado el bit ADSC del registro ADCSRA, el cual coloca en funcionamiento al módulo ADC para obtener la conversión y proveer del valor correspondiente de la frecuencia de salida F_{sal} a la función de cálculo. La activación del bit ADSC es realizada mediante una temporización de 1 segundo implementada con el Timer1, el cual opera en modo CTC, con tope en OCR1A. De esta manera, cada 1 segundo se realiza la conversión correspondiente. La configuración del Timer1 es la siguiente:

```

TCCR1A = 0x00; // Modo CTC.
TCCR1B = 0b00001101;
TCCR1C = 0x00; // Prescaler N = 1024.
TIMSK1 = 0x02; // Habilita interrupción por igualación a OCR1A.
OCR1A = 15624; // Carga el valor de TOPE para 1 s.

```

La conversión del valor cargado en el registro de conversión del ADC se transforma a un valor digital mediante la siguiente ecuación:

$$F_{salida} = \frac{ADC \cdot RANGO}{1023} \quad (7)$$

donde ADC es el valor obtenido de la conversión de 10 bits y RANGO corresponde al rango de frecuencia seleccionado.

3.4. Diseño del filtro pasabajos de salida

El rango de frecuencia para la señal senoidal de salida es de 0 Hz a 2000 Hz, los cuales son generados a través de la señal PWM en el pin OC5B del microcontrolador. Es sabido que la onda de salida del PWM es cuadrada y que su valor medio representa el valor de la senoidal deseada, por lo que es trabajo del filtro atenuar todas las componentes de alta frecuencia generadas por la señal PWM y disponer de la onda senoidal de baja frecuencia. Al momento de seleccionar el filtro principalmente, se optó por el diseño de una red RC debido a la simplicidad del mismo, pero al concluir que la misma no ofrecería el desempeño en cuanto a la forma de onda solicitada, se optó por colocar dos redes RC en serie [8] y así alcanzar el resultado esperado en cuanto a atenuación y forma de onda. Al seleccionar una frecuencia de corte para los rangos bajos de frecuencia, se tendrán grandes atenuaciones en las altas frecuencias. Para compensar estas atenuaciones, seguido a la etapa de filtrado se coloca un amplificador no inversor [9], el cual permite obtener una señal senoidal de mayor amplitud seleccionando una ganancia $G_{av} = 2$. El esquema del filtro y el amplificador implementados para obtener la señal senoidal V_s deseada, está representado en la Fig.5.

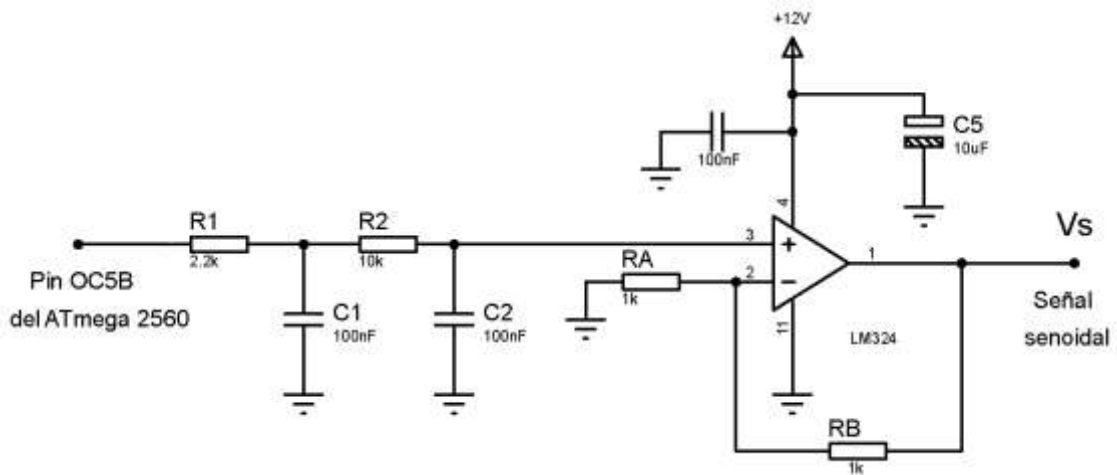


Fig. 5: Circuito del filtro pasa-bajos y amplificador de ganancia G_{av} .

Los componentes del filtro pasabajos indicado en la Fig. 5, son obtenidos mediante las siguientes ecuaciones de diseño:

$$F_C = \frac{1}{2\pi\sqrt{R1 \cdot R2 \cdot C1 \cdot C2}} \quad (8)$$

$$R1 \cdot R2 = \frac{1}{(F_C \cdot 2\pi)^2 \cdot C1 \cdot C2} \quad (9)$$

Considerando $C1 = 100 \text{ nF}$, $C2 = 50 \text{ nF}$ y $F_C = 200 \text{ Hz}$, reemplazando en (9) se obtiene:

$$R1 \cdot R2 = 126651479,6 \Rightarrow R2 = 10k\Omega ; R1 = 1,2k\Omega$$

Para obtener mejores resultados se realizaron ajustes sobre $R1$ teniendo en cuenta la relación de compromiso “Rizado en baja frecuencia vs atenuación en alta frecuencia”. La variación mencionada permite modificar la dinámica de operación del filtro de tal manera que la atenuación del mismo en las altas frecuencias preserve la forma de onda y el contenido armónico en las bajas frecuencias sea mínimo. Es apreciable en la Ec. (8) que la frecuencia de corte del filtro es inversamente proporcional a los valores de las resistencias [10].

En el diseño del amplificador no inversor mostrado en la Fig. 5, se usó la relación dada en la siguiente ecuación:

$$G_{av} = \left(\frac{RB}{RA} + 1 \right) \quad (10)$$

Para cumplir con una ganancia $G_{av} = 2$ se selecciona $RA = RB = 1k\Omega$.

4. Resultados

El circuito implementado en este trabajo es el indicado en el Anexo 1. Como el mismo se ha construido fuera de los laboratorios de la facultad debido a las restricciones a la presencialidad que hubo durante el cursado del año 2020, el circuito fue desarrollado a modo de prototipo experimental, montándolo en un protoboard (placa de prueba).

Con el programa diseñado se lograron los resultados mostrados en la Fig. 6, 7 y 8, donde la señal en amarillo (CH2) corresponde a la salida PWM del microcontrolador en el pin OC5B y la forma de onda de color rojo (CH1) es la salida V_s filtrada y amplificada mediante el circuito de la Fig. 5. Como puede apreciarse en la Fig. 6, a los 50 Hz se obtiene una forma de onda donde está presente, aunque de forma mínima, el rizado debido a la baja cantidad de muestras tomado para esta frecuencia. Se debe tener en cuenta los bajos valores de los capacitores que posee el filtro, que al descargarse

rápidamente causan este efecto de rizado. En cuanto a la atenuación, en su banda de paso el filtro permite una amplitud 3,95 V en la onda senoidal de salida. Al aumentar la frecuencia al rango mediano, en 500 Hz como se muestra en la Fig. 7, la forma de onda está exenta del rizado anterior ya que estamos sobre la frecuencia de corte del filtro, es decir que además de la componente fundamental de frecuencia, se atenúan las componentes armónicas, por lo que se preserva la forma de onda senoidal. Es claro que al estar la frecuencia de la señal senoidal en la banda de atenuación, la amplitud de la misma disminuya severamente llegando a los 1,5 V.

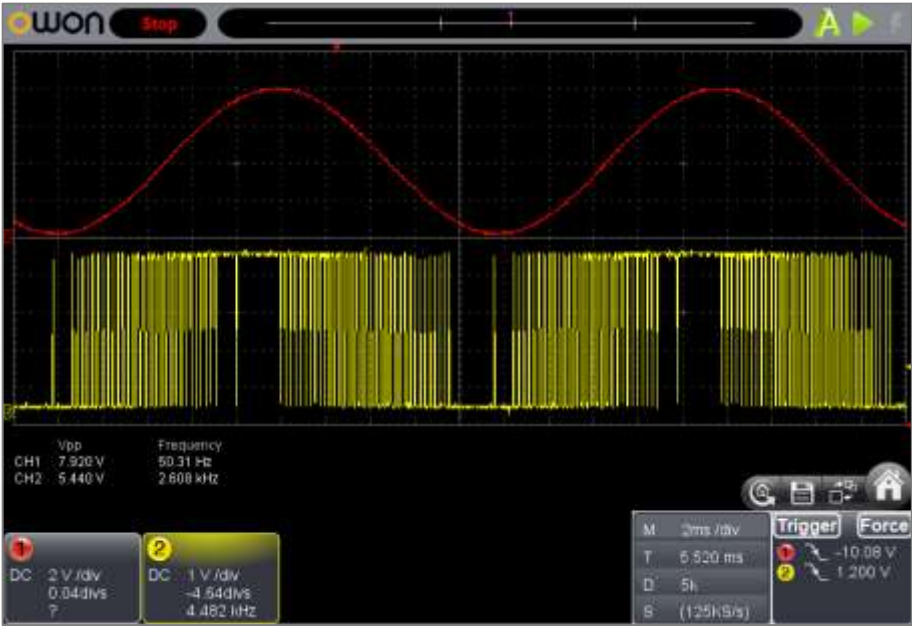


Fig.6: Medición de señal senoidal de 50 Hz (CH1) y señal PWM en el pin OC5B (CH2).



Fig.7: Medición de señal senoidal de 500 Hz (CH1) y señal PWM en el pin OC5B (CH2).



Fig.8: Medición de señal senoidal de 2000 Hz (CH1) y señal PWM en el pin OC5B (CH2).

Para la frecuencia de 2000 Hz indicada en la Fig. 8, la forma de onda sigue siendo la requerida, pero es el peor en cuanto a la atenuación. A pesar de estar afectada por una ganancia que duplica su amplitud, solamente se logra un valor de 0,22 V. Esto es debido a que la frecuencia se encuentra sobre la banda de atenuación, lejos de la frecuencia de corte.

Es claro que la relación de compromiso principal que se ve enmarcada en los resultados, es el rizado a bajas frecuencias y la atenuación en las altas frecuencias. Como a la frecuencia máxima de la operación requerida la señal puede ser amplificada, se decidió diseñar el filtro para mejorar la forma de onda en las bajas frecuencias. Las prestaciones del filtro en cuanto a atenuación es un punto a mejorar, pudiéndose ajustar la cantidad de muestras tomadas para el cálculo en el microcontrolador y diseñar el filtro desde una perspectiva digital, de tal manera que la frecuencia de corte sea adaptativa según la frecuencia a filtrar.

5. Conclusiones

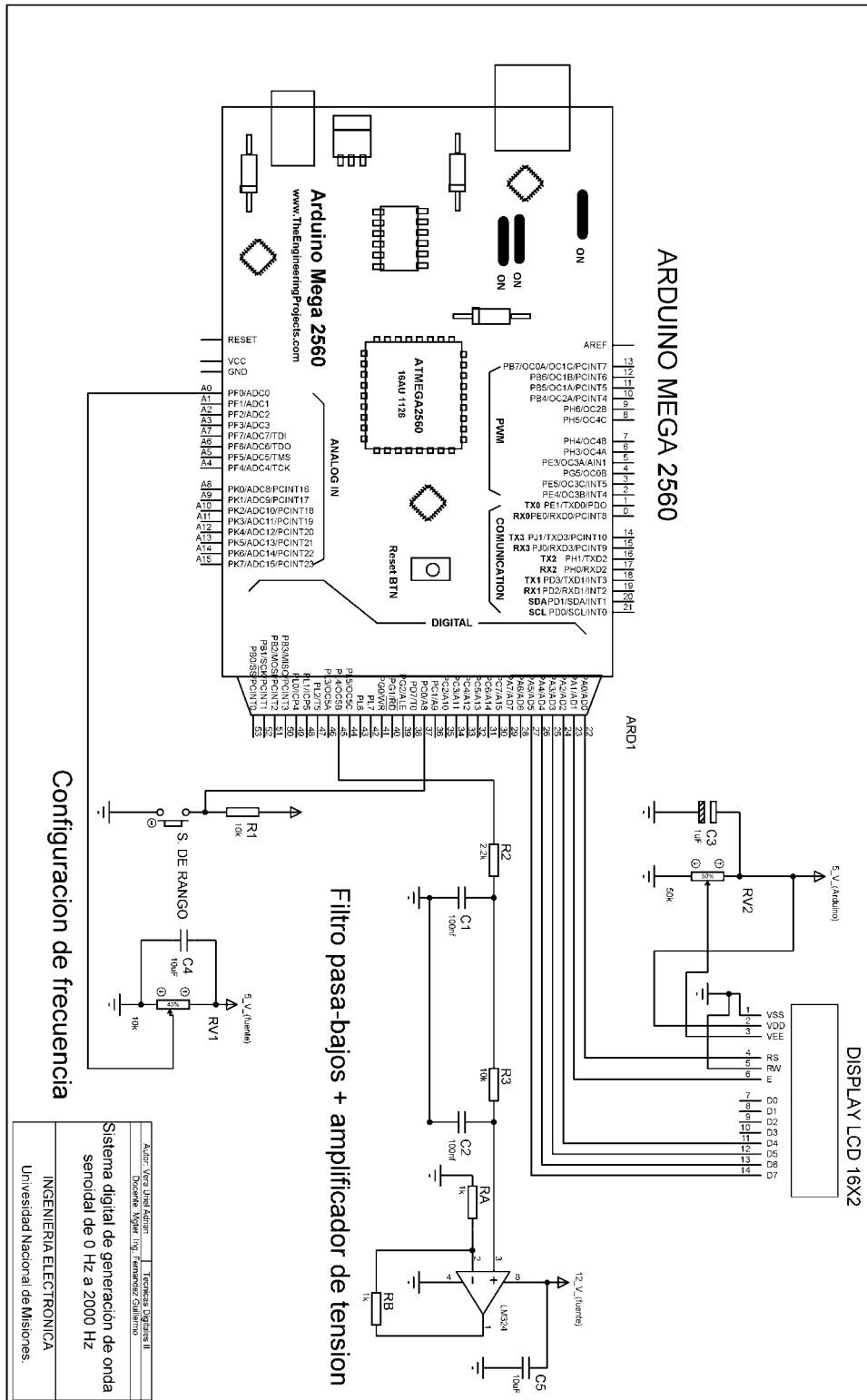
Los resultados obtenidos en este trabajo, demuestran que el método propuesto, en cuanto a software y hardware, está diseñado correctamente, obteniéndose una forma de onda senoidal aceptable para todos los rangos de frecuencias deseados. Cabe mencionar que, al tratarse de un sistema digital complejo, no solamente se deben tener en cuenta las consideraciones de optimización del algoritmo implementado en el microcontrolador sino también cuestiones con el hardware como ser el caso del filtro. Estas consideraciones son más rigurosas según la exactitud del resultado esperado. No obstante, el sistema digital propuesto cumple con las especificaciones requeridas para la actividad integradora propuesta en la asignatura.

Como objeto de formación en la disciplina de la ingeniería, el estudio presente proporcionó las herramientas para integrar no solo los conceptos de la asignatura Técnicas Digitales 2 (manejo de puertos, módulos temporizadores, ADC, etc.) sino también de materias previamente desarrolladas en la carrera, como por ejemplo Electrónica Analógica (filtro RC). Esta integración de saberes constituye un proceso necesario e importante en la formación de los estudiantes para su futura vida profesional, ya que en ésta podrán presentarse problemáticas similares a la planteada en el trabajo integrador, siendo el procedimiento de resolución e integración del presente trabajo el que le brinda las competencias al estudiante para desempeñarse profesionalmente.

Referencias

- [1] M. M. RASHID, ELECTRONICA DE POTENCIA, PRENTICE HALL.
- [2] A. 2. Q. A. 0. 2014, Atmel ATmega 640 /V 1280 /V 1281 /V 2560 /V 2561 /V Datasheet, 2014.
- [3] A. R. Zambrano, «GENERADOR DE ONDA SENO PURA A 60 Hz Por PWM,» 2018. [En línea]. Available: <https://www.youtube.com/watch?v=LRIqpeqUO4>. [Último acceso: 2020].
- [4] S. F. Barret, Microchip AVR® Microcontroller Primer Programming and Interfacing, Morgan & Claypool Publishers.
- [5] W. a. H. Eric Gaalaaas What, «Class D Audio Amplifiers:,» *Analogue dialogue*, pp. 4-5, 2006.
- [6] M. A. Mazidi, The AVR microcontroller and embedded systems using assembly and C, Prentice Hall, 2011.
- [7] T. L. Floyd, Fundamentos de Sistemas Digitales, Pearson-Prentice Hall, 2006.
- [8] «Tutorial filtro RC pasivo,» [En línea]. Available: <http://tutorialesdeelectronica basica.blogspot.com/2019/08/filtro-de-paso-bajo-tutorial-de-filtro.html>. [Último acceso: 2020].
- [9] F. Driscoll, Operational Amplifiers and Linnear Integrated Circuits, 6 ed., 1990.
- [10] O. UPCT, Electronica Analogica: Analisis y Diseño.

Anexo 1: Esquema eléctrico del “Generador digital de onda senoidal con frecuencia variable”.



Autor: Víctor David Aragón | Ingeniería Electrónica II
 Docente: Víctor Eug. Ferrer Guzmán
Sistema digital de generación de onda senoidal de 0 Hz a 2000 Hz
INGENIERÍA ELECTRÓNICA
 Universidad Nacional de Misiones.