

Llave estática con PLL para UPS de doble conversión

Maximiliano V. Ruiz ^a, Roberto E. Carballo ^a, Fernando Botterón ^a

^a *Facultad de Ingeniería, Universidad Nacional de Misiones (UNaM), Oberá, Misiones, Argentina.*
e-mails: maxi9304@gmail.com, botteron@gmail.com, carballoe@gmail.com

Resumen

En el siguiente artículo se presenta un avance del diseño e implementación de un sistema de llave estática para una UPS trifásica de doble conversión de 30kVA, 380/220V, 50 Hz utilizando un conexionado de tiristores en anti paralelo. Este avance, forma parte de la asignatura integradora “Proyecto y Diseño Electrónico”, del 5° año de la carrera de Ingeniería Electrónica de la Facultad de Ingeniería. Esta llave estática, comúnmente denominada de *bypass*, se utiliza para alimentar directamente la carga desde la red eléctrica, en el caso de que alguna de las etapas de conversión electrónica de la UPS presente algún inconveniente o deba hacerse mantenimiento. En este trabajo se propone también, otra llave estática bidireccional a la salida de la UPS, de manera que se pueda usar como accionamiento de las cargas para los ensayos de desempeño de la UPS. Por otro lado, al restituirse la operación normal de la UPS a partir de las etapas de conversión electrónica, la tensión generada por el inversor debe sincronizarse con la de la red antes de poder aplicarla a la carga; para esto se propone un PLL (*Phase Locked Loop*, lazo de seguimiento de fase), desarrollado en el mismo prototipo de la llave estática, que posibilite efectuar el sincronismo de ambas señales.

Palabras Clave – Llave estática; tiristores; UPS; PLL; Electrónica de potencia; sistema trifásico; microcontrolador

1. Introducción

La energía eléctrica está presente en casi todos nuestros dispositivos y maquinarias, tanto domésticas como industriales; tal es así, que para hacer funcionarlos es necesario recurrir a ella. La energía eléctrica se hizo importante para nuestra vida cotidiana, porque facilita el trabajo reduciendo el esfuerzo humano, permitiendo ahorrar tiempo y así preocuparse por otros problemas. Pero como ocurre a veces, hay inconvenientes con la distribución de energía eléctrica debido a que se necesita un mantenimiento, o hay mucha demanda energética u ocurren casos fortuitos de fallas en el suministro. En consecuencia, se generan cortes que pueden ser prolongados o de muy corto lapso de tiempo, lo que provoca que varios equipos dejen de funcionar hasta que retorne la energía. En determinados casos, una interrupción en el funcionamiento de determinados equipos denominados críticos, puede costar pérdida de dinero, como por ejemplo, en los sistemas de datos de los bancos; en otros casos, puede afectar la vida humana, como en los casos de equipos médicos de terapia intensiva o cirugías, o, como también, en los equipos de vigilancia y operación de torres de control en aeropuertos. Lo ideal es que estos inconvenientes puedan ser evitados, y para esto, la solución es conectar el equipamiento crítico al cual se desea proteger, a un sistema de alimentación ininterrumpida, más conocida como UPS (*Uninterruptible Power Supply*), la cual permite que la carga crítica siga energizada por el intervalo de tiempo que sea necesario.

Las UPS pueden ser rotativas, basadas en grupos motor-generator, las cuales pueden operar por un periodo de tiempo largo mientras se disponga del combustible necesario para impulsar la máquina primaria que mueve el generador; este último generalmente del tipo sincrónico. En

contraposición, están las UPS estáticas, conformadas por convertidores electrónicos que utilizan llaves electrónicas de potencia, las cuales pueden ser controladas para un manejo eficiente del flujo de potencia entre la fuente primaria (red eléctrica) y la carga o entre un banco de almacenamiento de energía (baterías) y la carga. Estos tipos de UPS, en general tienen una autonomía mucho menor, comparadas con las rotativas, dado que la misma depende de la cantidad de energía que pueda almacenar el banco de baterías. En sistemas trifásicos, y específicamente en medias y altas potencias, las UPS estáticas suplen la carga al momento de la falla en la red eléctrica por un corto periodo de tiempo, hasta que la UPS rotativa entre en operación y sigue alimentando la carga.

Este trabajo solamente se enfoca en las UPS estáticas trifásicas de doble conversión. En función de esto, el objetivo de este proyecto es implementar un sistema de llaves electrónicas bidireccionales para una UPS trifásica cuyas funciones son: una como bypass entre la red eléctrica y la carga, otra entre la entrada y el rectificador de la UPS y la última como accionamiento de las cargas conectadas a la salida de la UPS; esta última se utiliza especialmente para los ensayos que se realizan en el laboratorio del departamento de ingeniería electrónica. Las llaves electrónicas mencionadas, son tiristores de alta potencia que deben ser comandados desde un microcontrolador, cuyo programa supervisor decide en qué momento es necesario el accionamiento de las mismas. Por último, se implementa un sistema de sincronismo de señales entre la red eléctrica y la etapa de salida de la UPS (inversor), para poder seguir alimentando la carga a partir del inversor; ya que esta es la forma de operación normal de una UPS de doble conversión. Este sincronismo se realiza mediante un PLL el cual se implementa en el mismo microcontrolador que maneja las llaves estáticas, por lo que sirve como módulo para ser utilizado con cualquier UPS o sistema de conversión que necesite ser conectado a la red eléctrica.

2. Desarrollo

Para comenzar con el desarrollo del proyecto primero vamos a explicar cómo funciona una UPS de doble conversión u online. Se llama de doble conversión porque el flujo de energía hacia la carga pasa por dos etapas de conversión: primero por el rectificador y luego por un inversor.

Entonces, la UPS está conformada básicamente por un convertidor de corriente alterna (CA) a corriente continua (CC), comúnmente llamado rectificador, conectado a la red eléctrica convencional; un inversor o convertidor de (CC) a (CA) y un banco de baterías; cuya función es la de poder alimentar la carga a través del inversor, cuando la red eléctrica no está disponible. Con esta topología se logran eliminar las perturbaciones de la red eléctrica que pueden generar un funcionamiento indeseado en la carga que se desea proteger y mantener alimentada en forma ininterrumpida. Este tipo de UPS proveen energía constante a la carga sin tiempo de transferencia, y su diagrama de bloques básico se muestra en la Fig. 1.

En condiciones normales del suministro eléctrico, el rectificador convierte la energía de CA a corriente continua, la cual alimenta a las baterías y al inversor, ver capítulo 3 de [1]. Este rectificador puede ser activo en base a diodos rectificadores sin control alguno, o activo totalmente controlado, en base a tiristores o transistores de potencia tales como IGBT. El inversor convierte nuevamente la tensión en el bus de CC, entregado por el rectificador o por el banco de baterías, a CA y alimenta a la carga crítica, como muestra la Fig. 2.

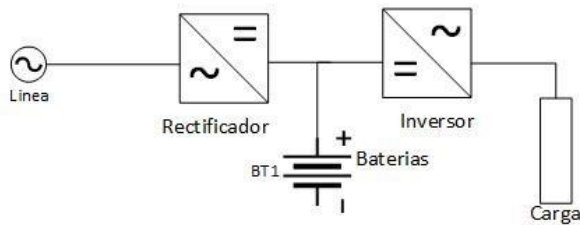


Fig. 1. Esquema de bloques de una UPS de doble conversión

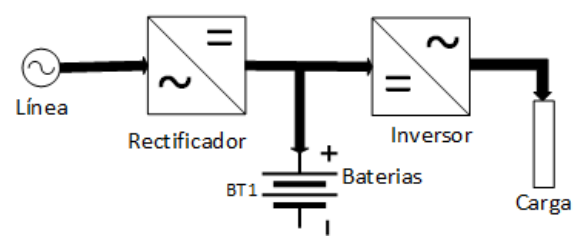


Fig. 2. UPS en modo de operación normal

Si se produce un fallo en la energía suministrada por la red principal, el rectificador deja de funcionar y la batería pasa a alimentar la carga a través del inversor, como dice en [1]. La Fig. 3 muestra el flujo de energía en esta situación.

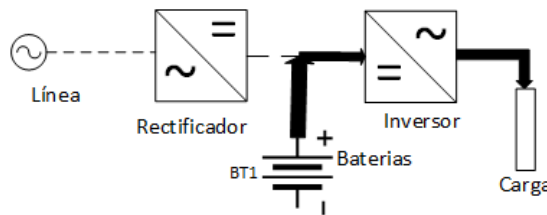


Fig. 3. UPS en modo de resguardo o back-up a través de las baterías

Por último, para casos en que se quiera hacer un mantenimiento de cualquiera de las etapas mencionadas de la UPS y mantener energizada la carga, esta última se conecta directamente a la red eléctrica en forma automática a través de un interruptor. Este interruptor es la denominada llave estática que se desarrolla en este trabajo. Las llaves estáticas pueden activarse también de manera automática, en caso de que se produzca una sobrecarga o falla en el inversor, y aislar así las etapas de conversión electrónica que comprenden la UPS para evitar daños en las mismas.

Esta llave estática puede implementarse con un conjunto de tiristores de alta potencia conectados en antiparalelo. A este modo de conexión se lo llama *baipás* (del inglés, *bypass*), porque realiza un puente que permite transferir directamente la potencia de la red hacia la carga. Este *baipás* se visualiza en la Fig. 4.

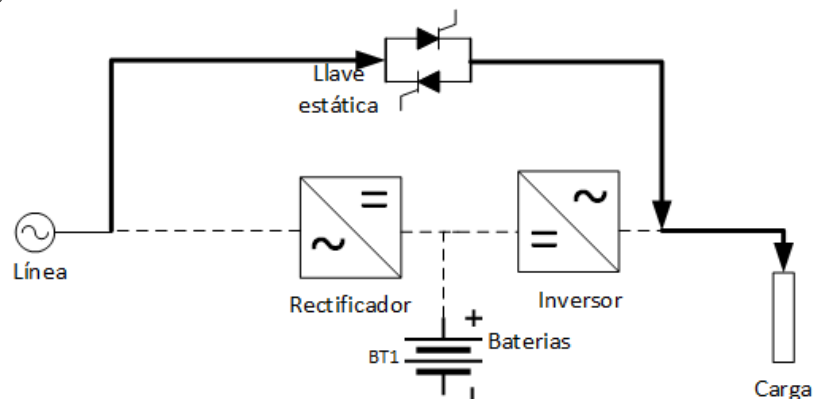


Fig. 4. UPS en modo Bypass

2.1. Modelo propuesto de la UPS

Como se ha mencionado previamente, el prototipo a desarrollar posee llaves de transferencia directa entre la carga y la red eléctrica, o *baipás*; además, una llave estática a la entrada del rectificador, que servirá como interruptor entre la red eléctrica y la entrada de la UPS, y otra llave estática a la salida del inversor, para accionamiento de las cargas que permita efectuar los ensayos de desempeño de la UPS. La topología del prototipo se muestra en la Fig. 5. Esto indica que cada conjunto de llave estática poseerá un par de tiristores en antiparalelo para cada fase, todos con las mismas características eléctricas, y también tendrá su propio circuito de comando, el cual recibe la señal de baja potencia del microcontrolador y la acondiciona al circuito de entrada o puerta del tiristor.

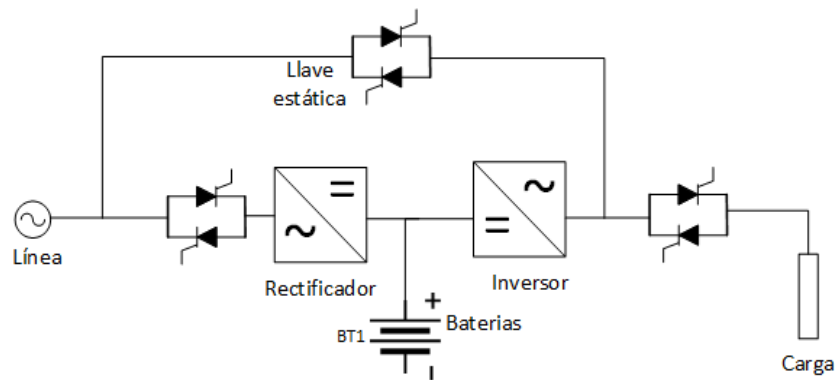


Fig. 5. Esquema propuesto para las llaves estáticas de la UPS

2.2. Generalidades sobre los tiristores

Los tiristores son las llaves electrónicas que conforman las llaves estáticas de la UPS, que se propone diseñar y construir en este trabajo. El término *estático* o *estática* es porque efectivamente estos componentes no tienen partes móviles, no contienen partes mecánicas como los relés, por ejemplo. A lo largo del tiempo, los tiristores han sido altamente confiables y por lo tanto una aplicación adecuada para este tipo de uso, ya que pueden manejar corrientes elevadas a altas tensiones. Hay varios tipos de tiristores, en este caso se opta por utilizar tiristores unidireccionales SCR, conectados en antiparalelo, o tiristores bidireccionales controlados por fase (BCT) de alta potencia, los cuales tienen que soportar corrientes altas del orden de los 50 Amperios. Estos tiristores se conectan en antiparalelo para poder manejar la corriente alterna que entrega la red eléctrica. Durante el semiperiodo positivo de la tensión de la red, mediante la correcta activación, la corriente circula por uno de los tiristores y durante el semiperiodo negativo, por el tiristor restante.

Para activar al tiristor se tiene que aplicar una corriente mínima del orden de los miliamperios en su compuerta en el instante de tiempo en que se quiera que el mismo comience a conducir. El instante de inicio de la conducción puede estar sincronizado con el inicio de la onda de tensión, sea este el semiperiodo positivo o negativo, o con cualquier otro instante (o ángulo de fase) de la onda de la tensión, según las necesidades. Esta sincronización, si es necesaria, se realiza dentro del microcontrolador. Para el proyecto que aquí se relata, se plantea la necesidad de que la llave estática que conecta la carga con el inversor, pueda ser comandada por ejemplo, en el instante en que la

onda de tensión que genera el inversor, se encuentre en su valor máximo, tanto positivo como negativo. Este ensayo es especificado por las normas de UPS para verificar el comportamiento transitorio ante conexión de cargas.

Al optar por un tipo de tiristor en el mercado, conviene, para esta aplicación, elegir los encapsulados que contienen dos tiristores en un mismo modulo y soporten altas corrientes (entre 50 Amperios o más). Dependiendo de la compañía que los desarrolla, hay varios tipos de conexiones y encapsulados. En las siguientes figuras se muestran algunos de los componentes elegidos para desarrollar.



Fig. 6. Módulo tiristor KQ



Fig. 7. Módulo tiristor WT



Fig. 8. Módulo tiristor UT

Las Figuras 6; 7 y 8 representan al conjunto de tiristores de Semikron el cual tiene una configuración atractiva desde el punto de vista de la disposición en el circuito impreso en el que se construye la llave estática. Este encapsulado no puede conducir corrientes muy elevadas, ver hoja de datos de [2], no obstante, los modelos indicados soportan corrientes eficaces de 72 A con tensiones eficaces de 900, 1600 y 1200V (Figuras 6 y 9), ver [2]; 72 A con tensión eficaz de 1600 V (Figuras 7 y 10), ver [3] y 47A con tensiones eficaces de 900, 1300 y 1700V (Figuras 8 y 11), ver [4]. A continuación, se muestran los símbolos respectivos de las configuraciones de esta serie de componentes.

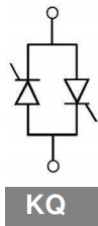


Fig. 9. SK 70 KQ

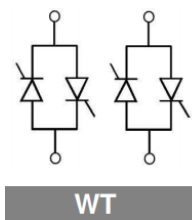


Fig. 10. SK 70 WT

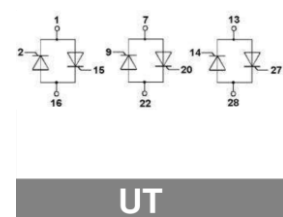


Fig. 11. SK 45 UT

La Fig. 9 es un conjunto de tiristores en antiparalelo, especial para conexiones monofásicas y responde a la Fig. 6. La clase WT que muestra la Fig. 10 contiene dos conjuntos de estos tiristores, las cuales pertenecen al módulo de la Fig. 7. Por último, se puede apreciar que en el grupo que contienen 3 pares de tiristores en antiparalelo es el de la Fig. 11, ésta es especial para conexiones trifásicas ya que contiene todo en un mismo módulo y corresponde al de Fig. 8.

En resumen, estos componentes son idénticos en la disposición de los tiristores, pero con nomenclaturas distintas. Se puede observar que las que tienen la conexión con la clase KQ, WT y UT serían las más adecuadas para este proyecto en función de las corrientes que se desean manejar con estas llaves estáticas.

2.3. PLL (Phase Locked Loop – Lazo Enganchado en Fase)

El PLL conforma la estrategia de sincronización de la tensión de salida del inversor de la UPS con la red eléctrica. Esto es importante porque si no se produce la sincronización en fase de ambas tensiones, se pueden producir daños en el equipo y en la carga.

Un lazo de amarre de fase o PLL, es un sistema dinámico en lazo cerrado, el cual contiene un oscilador interno que es controlado para mantener la frecuencia de una señal periódica externa.

El PLL posee 3 bloques básicos de funcionamiento: [5]

- 1 - Oscilador controlado por voltaje (VCO)
- 2 - Detector de fase (DF)
- 3 - Filtro de lazo (LF)

La Fig. 12 es una representación general en bloques que muestra los bloques básicos que contienen la mayoría de los PLL.

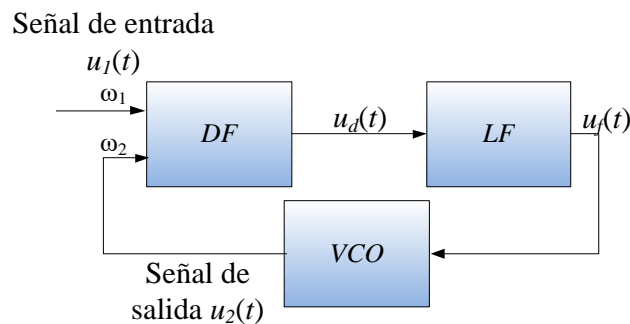


Fig. 12. Diagrama de bloques de un PLL

Ahora se analizará cómo opera este PLL. El análisis de la operación es explicado detenidamente en el capítulo 3.2.c.ii de [5]. Primero supóngase que la frecuencia angular de la señal de entrada, $u_1(t)$ es igual a ω_0 , por lo que el VCO opera en su frecuencia central. El ángulo θ_e , que indica el error de fase entre la señal de entrada y la señal del VCO, es igual a cero, lo cual lleva a que la señal de salida $u_d(t)$ del DF también sea igual a 0. Consecuentemente, la señal de salida $u_f(t)$ del filtro de lazo sería una señal constante.

En caso de que el error de fase θ_e no sea igual a cero, el DF desarrolla una señal $u_d(t)$ de salida distinta de cero. Luego de un retardo el filtro también produce una señal de salida $u_f(t)$ variable; la cual ingresa al VCO, ocasionando que este genere una variación en $u_2(t)$ que lleve a 0 el error de fase θ_e .

Cabe destacar que hay distintos tipos de PLLs, entre ellos están los analógicos, digitales y los PLL totalmente digitales o por software.

Para este proyecto se opta emular un PLL analógico, implementándose su operación por software en un microcontrolador.

2.4. Simulación del PLL usando PSIM

Primeramente, se realiza la simulación del PLL utilizando los datos del componente LM565 [6] (ver Fig. 13), el cual es un circuito integrado dedicado para la realización de un lazo de amarre de

fase analógico. A partir del principio de operación de este circuito integrado, la idea es emular su funcionamiento en un software. En primer lugar, se utiliza el simulador PSIM [7] y una vez que se ha conseguido la operación correcta del mismo, el programa realizado en PSIM puede ser implementado en el microcontrolador que será usado en el prototipo a construir.



Fig. 13. Componente LM565

Para lograr la simulación se debe contar con conceptos de teoría de control digital y teoría de muestreo, ya que las señales de entrada son señales continuas sinusoidales y necesitan ser muestreadas para poder trabajar con el simulador. Entonces se debe considerar una frecuencia de muestreo tal, que las señales de entradas sean aproximadamente continuas, para ver las consideraciones para emular el PLL con más detalles ver capítulo 8.2.b de [5]. Cuanto más alta es la frecuencia de muestreo, mejor será la representación de estas señales. En esta simulación se utilizó un periodo de muestreo de 1/500 segundos.

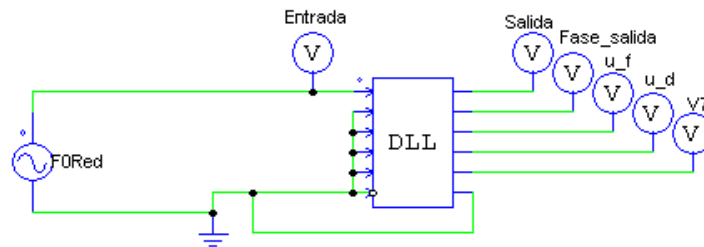


Fig. 14. Conexión del PLL en PSIM

En la Fig. 14 se puede ver que hay un bloque llamado DLL, que es el elemento capaz de emular el integrado LM565 y así tener un comportamiento similar al real. Para lograrlo, se incorpora un archivo con extensión .dll dentro del bloque. Este archivo es configurable y programable mediante un entorno de desarrollo integrado (IDE – *Integrated Development Environment*). Para este proyecto se optó por utilizar el software libre Dev C++ [8], el cual permite programar y exportar archivos con la extensión compatible a la del bloque. A partir de lo explicado previamente, teniendo en cuenta los conceptos de muestreo, discretización y considerando los parámetros del componente LM565 se realiza la simulación para así observar los resultados.

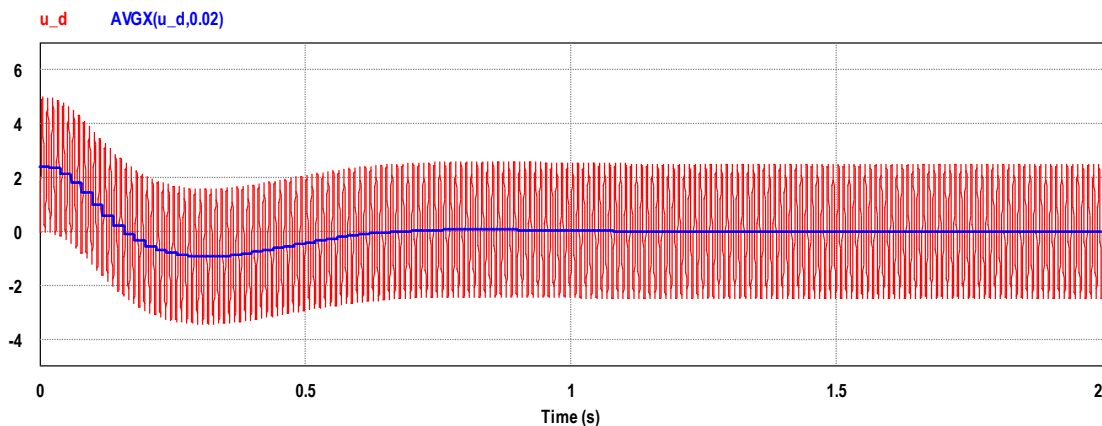
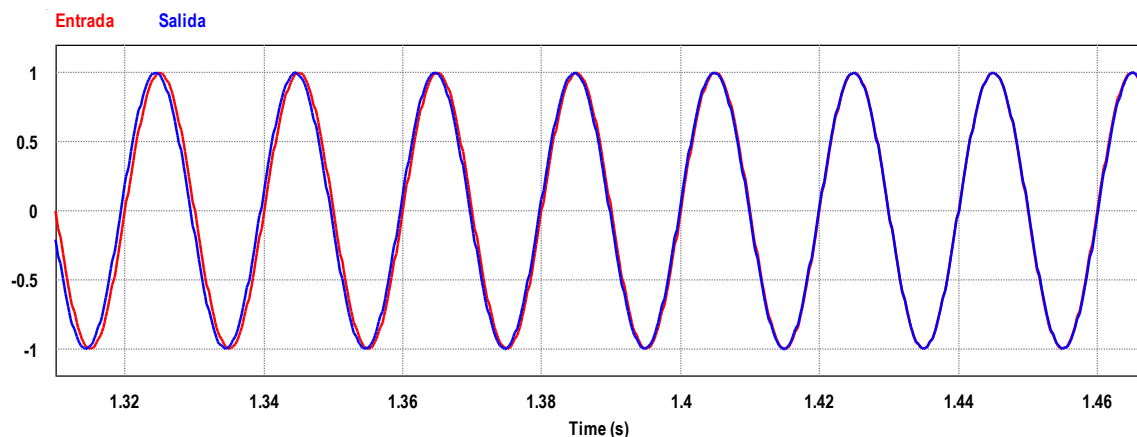


Fig. 15. Tensión de entrada de la red y señal de salida del detector de fase del PLL

En la simulación se aplica una tensión sinusoidal de 4 V pico a pico en la entrada a una frecuencia de 50Hz. En la Fig. 15 se aprecia la gráfica del promedio de la señal de salida del detector de fase junto con la tensión instantánea $u_d(t)$. Se puede apreciar que el circuito se estabiliza en un tiempo aproximadamente superior a 1 segundo.

En la Fig. 16 se observa la gráfica de la tensión de entrada de la red de 2 V pico a pico, junto con la tensión de salida del PLL, del mismo valor de amplitud.

**Fig. 16. Tensión de entrada de la red con tensión de salida del PLL**

Se puede apreciar que aproximadamente a los 1,4 segundos las señales están prácticamente sincronizadas o enganchadas en fase y se encuentran superpuestas.

Aún quedan por realizar ajustes en el diseño para reducir los tiempos de sincronismo y también experimentar otras opciones de PLL que puedan producir un sincronismo preciso aún con tensiones de la red que presenten importante distorsión armónica.

Una vez realizada la etapa del diseño del PLL el paso siguiente es incorporarlo en un inversor para simular el comportamiento en la UPS en donde será aplicado. El software del PLL como el comando de las llaves estáticas se incorporará todo en un microcontrolador, el cual permitirá la comunicación con el controlador principal (DSC - *Digital Signal Controller*) que comanda y controla los bloques principales de la UPS. Estas etapas aún no se han completado y es parte de la tarea que queda por realizar; incluida la construcción del prototipo.

3. Conclusiones

Este artículo mostró resultados parciales del proyecto y diseño electrónico de las llaves estáticas y del PLL necesarios para la operación de una UPS trifásica con la carga y con la red eléctrica. Cabe señalar que aún el proyecto no está terminado, y por esa razón se tiene que seguir trabajando y desarrollando todo lo referente al diseño de los circuitos de disparo de los tiristores; el diseño de las placas de circuito impreso para los tiristores y los circuitos de disparo; el diseño de la placa de control que incluye al microcontrolador y fuentes de alimentación; ajustes en el diseño del PLL presentado y explorar otras opciones de PLL que presente una adecuada operación cuando se presenten perturbaciones, periódicas o no periódicas en la tensión de la red eléctrica. Finalmente, la finalización de este proyecto conlleva la programación del microcontrolador y la prueba

experimental de las llaves estáticas y PLL en una UPS ya disponible en el laboratorio de ingeniería electrónica.

4. Referencias

- [1] Ing. Victor Hugo Kurtz “**Sistemas de alimentación ininterrumpidos UPS**” Universidade Federal de Santa María, Universidad Nacional de Misiones.
<https://bit.ly/2JIoMCR>
- [2] Semikron “**SK 70 KQ Antiparalell Thyristor Module Datasheet**” Revisado Junio 2006.
http://shop.semikron.com/out/media/ds/SEMIKRON_DataSheet_SK_70_KQ_08_24302500.pdf
- [3] Semikron “**SK 70 WT Antiparalell Thyristor Module Datasheet**” Revisado Marzo 2006
<https://n9.cl/uwf9>
- [4] Semikron “**SK 45 UT Antiparalell Thyristor Module Datasheet**” Revisado Septiembre 2005
http://shop.semikron.com/out/media/ds/SEMIKRON_DataSheet_SK_45_UT_12_24307403.pdf
- [5] Omar A. Bauernfeind, Angel P. Quintana, Fernando Botterón “**Análisis y Evaluación de Sistemas de Sincronismo para Conexión en Paralelo a Micro Redes Eléctricas de Convertidores CC-CA**” XV Reunión de Trabajo en Procesamiento de la Información y Control. Revisado Septiembre 2013.
- [6] National Semiconductor “**LM565/LM565C Phase Locked Loop Datasheet**” Revisado Mayo, 1999.
<https://web.sonoma.edu/users/m/marivani/datasheets/misc/LM565CN.pdf>
- [7] PowerSim Power Electronics Software, PSIM V 9.04.
<http://www.powersimtech.com>
- [8] Bloodshed Software, Dev C++ 5.8.0.
<https://www.bloodshed.net/devcpp.html>